

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Mutsuo MORIKADO
U.S. Serial No. : Not Yet Assigned
Filing Date : March 16, 2004
For : ***FIN SEMICONDUCTOR DEVICE AND METHOD FOR
FABRICATING THE SAME***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL

Mailing Label Number: EV205872420US

Date of Deposit: March 16, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

SADDAM AHMED
(Typed or printed name of person mailing paper or fee)


(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from
Japanese Application No. 2003-072220 filed March 16, 2003 , a certified copy of which is
enclosed.


Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicant

By: _____



Grace L. Pan

Registration No. 39,440

Tel. (212) 588-0800

Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月17日

出 願 番 号
Application Number:

特願2003-072220

[ST.10/C]:

[JP2003-072220]

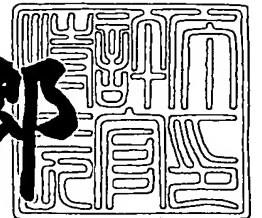
出 願 人
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025698

【書類名】 特許願

【整理番号】 A000300265

【提出日】 平成15年 3月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 森門 六月生

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

 【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 半導体層上に形成された、凸型の第 2 半導体層と、
前記第 2 半導体層に接し、且つ前記第 2 半導体層を介在して互いに対面するよ
うに前記第 1 半導体層上に形成された第 3、第 4 半導体層と、
前記第 2 半導体層にゲート絶縁膜を介在して接し、前記第 2 半導体層中にチャ
ネルを形成するゲート電極と、
前記第 3、第 4 半導体層の直下に位置する前記第 1 半導体層中に形成された絶
縁膜と
を具備することを特徴とする半導体装置。

【請求項 2】 前記絶縁膜は、前記第 1 半導体において、前記第 2 半導体層
の直下に位置する領域を取り囲むようにして形成されている
ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 第 1 半導体層上に形成された絶縁膜と、
前記絶縁膜上に形成された、凸型の第 2 半導体層と、
前記第 2 半導体層に接し、且つ前記第 2 半導体層を介在して互いに対面するよ
うに前記絶縁膜上に形成された第 3、第 4 半導体層と、
前記第 2 半導体層にゲート絶縁膜を介在して接し、前記第 2 半導体層中にチャ
ネルを形成するゲート電極と、
前記第 2 半導体層直下に形成され、前記第 1 半導体層と前記第 2 半導体層とを
電氣的に接続する接続領域と
を具備することを特徴とする半導体装置。

【請求項 4】 前記接続領域は、前記絶縁膜によって前記第 3、第 4 半導体
層と離隔されている
ことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記接続領域においては、前記第 2 半導体層直下における一
部領域の前記絶縁膜が除去され、該絶縁膜が除去された領域に、第 5 半導体層が
形成されている

ことを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記第 3、第 4 半導体層は、前記絶縁膜によって前記第 1 半導体層と離隔されている

ことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 7】 前記ゲート電極は、前記第 3、第 4 半導体層が対面する方向と直交する方向で、前記第 2 半導体層を介在して互いに対面するように形成されている

ことを特徴とする請求項 1 乃至 6 いずれか 1 項記載の半導体装置。

【請求項 8】 前記第 1 半導体層上に形成され、ストレージノード電極が前記第 3、第 4 半導体層のいずれか一方に電氣的に接続されたセルキャパシタを更に備える

ことを特徴とする請求項 1 乃至 7 いずれか 1 項記載の半導体装置。

【請求項 9】 前記セルキャパシタは、前記第 1 半導体層内に形成されたトレンチと、

前記トレンチ内部を、キャパシタ絶縁膜を介在して埋め込む前記ストレージノード電極と、

前記第 1 半導体層内における前記トレンチ周囲の領域に形成されたプレート電極と

を具備することを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 第 1 半導体層上に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜に、前記第 1 半導体層に達するホールを形成する工程と、
前記第 1 絶縁膜上及び前記ホール内に第 2 半導体層を形成する工程と、
前記第 2 半導体層の一部が前記ホールを被覆するように、前記第 2 半導体層を柱状の形状にパターニングする工程と、

前記第 2 半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜及び前記第 1 絶縁膜上に第 3 半導体層を形成する工程と、

前記第 3 半導体層を、前記第 2 半導体層においてチャネル領域となるべき領域の側面上に残存するようにパターニングして、ゲート電極を形成する工程と、

前記第 2 半導体層において、前記第 1 絶縁膜上に位置する領域内に、ソース・

ドレイン領域を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 1】 前記ホールを形成する工程の後、

前記第 1 絶縁膜上及び前記ホール内に、前記ホール内を完全には埋め込まないようにして第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の一部を除去して、前記第 2 絶縁膜を前記ホールの側壁に残存させつつ、前記ホール底部に前記第 1 半導体層を露出させる工程と

を更に備えることを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】 前記第 2 半導体層を形成する工程の後、

前記第 2 半導体層から前記第 1 半導体層に達するトレンチを形成する工程と、

前記トレンチ周囲の前記第 1 半導体層内の一部領域内に、プレート電極を形成する工程と、

前記トレンチ内壁にキャパシタ絶縁膜を形成する工程と、

前記トレンチ内にストレージノード電極を形成して、前記トレンチ内部を埋め込む工程と、

を更に備え、前記ソース・ドレイン領域を形成する工程の後、

前記ソース領域と前記ストレージノード電極とを電氣的に接続するコンタクトプラグを形成する工程を更に備え、

前記第 2 半導体層を柱状の形状にパターニングする工程において、前記第 2 半導体層は、前記第 2 半導体層においてソース領域が形成されるべき領域が、前記トレンチに接するようにパターニングされる

ことを特徴とする請求項 1 0 または 1 1 記載の半導体装置の製造方法。

【請求項 1 3】 第 1 半導体層上に第 1 絶縁膜及び第 2 半導体層が順次形成された基板に、前記第 2 半導体層及び前記第 1 絶縁膜を貫通するホールを形成して、該ホール底部に前記第 1 半導体層を露出させる工程と、

前記第 2 半導体層上及び前記ホール内に第 3 半導体層を形成する工程と、

前記第 3 半導体層の一部が前記ホールを被覆するように、前記第 2、第 3 半導体層を柱状の形状にパターニングする工程と、

前記第 2、第 3 半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜及び前記第 1 絶縁膜上に第 4 半導体層を形成する工程と、
前記第 4 半導体層を、前記第 2、第 3 半導体層においてチャネル領域となるべき領域の側面上に残存するようにパターニングして、ゲート電極を形成する工程と、

前記第 2、第 3 半導体層において、前記第 1 絶縁膜上に位置する領域内に、ソース・ドレイン領域を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記ホールを形成する工程の後、

前記第 2 半導体層上及び前記ホール内に、前記ホール内を完全には埋め込まないようして第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の一部を除去して、前記第 2 絶縁膜を前記ホールの側壁に残存させつつ、前記ホール底部に前記第 1 半導体層を露出させる工程と

を備えることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 前記第 3 半導体層を形成する工程の後、

前記第 3 半導体層から前記第 1 半導体層に達するトレンチを形成する工程と、

前記トレンチ周囲の前記第 1 半導体層内の一部領域内に、プレート電極を形成する工程と、

前記トレンチ内壁にキャパシタ絶縁膜を形成する工程と、

前記トレンチ内にストレージノード電極を形成して、前記トレンチ内部を埋め込む工程と、

を更に備え、前記ソース・ドレイン領域を形成する工程の後、

前記ソース領域と前記ストレージノード電極とを電氣的に接続するコンタクトプラグを形成する工程を更に備え、

前記第 2、第 3 半導体層を柱状の形状にパターニングする工程において、前記第 2、第 3 半導体層は、前記第 2、第 3 半導体層においてソース領域が形成されるべき領域が、前記トレンチに接するようにパターニングされる

ことを特徴とする請求項 1 3 または 1 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関する。例えば、フィン型のMOSトランジスタに関するものである。

【0002】

【従来の技術】

近年、半導体装置の微細化には目覚ましいものがある。しかし、微細化に伴って、プレーナ型のMOSトランジスタは、その性能向上が物理的な限界に直面している。そこで、プレーナ型のMOSトランジスタの限界を打破すべく、フィン型のMOSトランジスタ（ダブルゲートMOSトランジスタ）が提唱されている（例えば特許文献1参照）。

【0003】

図54は、特許文献1記載のフィン型のMOSトランジスタの断面図であり、特に電流経路に沿った方向の断面図である。図示するように、半導体基板（ウェル領域）100中に形成された絶縁膜110によって取り囲まれた素子領域AA上に、フィン型の半導体層（チャネル領域）120が形成されている。また、チャネル領域120を介在して互いに対面するように、ソース層130及びドレイン層140が、ウェル領域100上に形成されている。そして、チャネル領域120の上面上に、ゲート電極150が形成されている。

【0004】

上記構成のフィン型MOSトランジスタであると、プレーナ型に比べて、電流供給能力を向上できると共に、ゲート幅の更なる微細化が実現できる。更に、チャネル領域120の周囲をゲート電極150が取り囲んでいる。従って、チャネル領域120を介して流れるリーク電流の制御が容易となり、MOSトランジスタの信頼性を向上できるという利点がある。

【0005】

【特許文献1】

特開平8-139325号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来のフィン型MOSトランジスタであっても、リーク電流の制御性に関する問題が全て解決されたわけではない。前述のように、フィン型MOSトランジスタであると、チャネル領域120を介して流れるリーク電流の制御は容易である。しかし、図54に示すように、ウェル領域100を介して流れるリーク電流の制御は困難であった。これは、ゲート電極150によるウェル領域100を流れる電流の制御性が悪いためである。この問題を解決するには、チャネル領域120下部のウェル領域100の不純物濃度を高くする等の方法がある。しかし、この方法はソース層130及びドレイン層140とウェル領域100との間の容量が増加する等、性能劣化の原因となる。従って、好ましい方法とは言えない。このように、従来のフィン型MOSトランジスタは、プレーナ型と同様の問題点を有している。

【0007】

この発明は、上記事情に鑑みてなされたもので、リーク電流を低減できる半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

この発明の一態様に係る半導体装置は、第1半導体層上に形成された、凸型の第2半導体層と、前記第2半導体層に接し、且つ前記第2半導体層を介在して互いに対面するように前記第1半導体層上に形成された第3、第4半導体層と、前記第2半導体層にゲート絶縁膜を介在して接し、前記第2半導体層中にチャネルを形成するゲート電極と、前記第3、第4半導体層の直下に位置する前記第1半導体層中に形成された絶縁膜とを具備することを特徴としている。

【0009】

上記構成の半導体装置であると、第3、第4半導体層直下に絶縁膜が形成されている。従って、フィン型MOSトランジスタにおいて、ソース領域から半導体基板を介してドレイン領域に流れるリーク電流の電流経路が存在しない。従って、ゲート電位では制御し難い上記パスを流れるリーク電流が流れることを抑制出来る。その結果、フィン型MOSトランジスタの動作信頼性を向上できる。

【0010】

更に、第 2 半導体層が第 1 半導体層に接している。従って、チャネル領域に電位を与えることが出来、S O I 基板を用いた場合であっても、基板浮遊効果が生じることを抑制できる。

【 0 0 1 1 】

更に、この発明の一態様に係る半導体装置は、第 1 半導体層上に形成された絶縁膜と、前記絶縁膜上に形成された、凸型の第 2 半導体層と、前記第 2 半導体層に接し、且つ前記第 2 半導体層を介在して互いに対面するように前記絶縁膜上に形成された第 3、第 4 半導体層と、前記第 2 半導体層にゲート絶縁膜を介在して接し、前記第 2 半導体層中にチャネルを形成するゲート電極と、前記第 2 半導体層直下に形成され、前記第 1 半導体層と前記第 2 半導体層とを電氣的に接続する接続領域とを具備することを特徴としている。

【 0 0 1 2 】

上記構成の半導体装置であると、第 2 半導体層直下に接続領域が形成され、その他の領域には絶縁膜が形成されている。従って、フィン型 MOS トランジスタにおいて、ソース領域から半導体基板を介してドレイン領域に流れるリーク電流の電流経路が存在しない。従って、ゲート電位では制御し難い上記パスを流れるリーク電流が流れることを抑制出来る。その結果、フィン型 MOS トランジスタの動作信頼性を向上できる。

【 0 0 1 3 】

更に、接続領域によって第 2 半導体層が第 1 半導体層に電氣的に接続されている。従って、チャネル領域に電位を与えることが出来、S O I 基板を用いた場合であっても、基板浮遊効果が生じることを抑制できる。

【 0 0 1 4 】

また、この発明の一態様に係る半導体装置の製造方法は、第 1 半導体層上に第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜に、前記第 1 半導体層に達するホールを形成する工程と、前記第 1 絶縁膜上及び前記ホール内に第 2 半導体層を形成する工程と、前記第 2 半導体層の一部が前記ホールを被覆するように、前記第 2 半導体層を柱状の形状にパターンニングする工程と、前記第 2 半導体層の側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記第 1 絶縁膜上に第 3

半導体層を形成する工程と、前記第 3 半導体層を、前記第 2 半導体層においてチャンネル領域となるべき領域の側面上に残存するようにパターニングして、ゲート電極を形成する工程と、前記第 2 半導体層において、前記第 1 絶縁膜上に位置する領域内に、ソース・ドレイン領域を形成する工程とを具備することを特徴としている。

【 0 0 1 5 】

更に、この発明の一態様に係る半導体装置の製造方法は、第 1 半導体層上に第 1 絶縁膜及び第 2 半導体層が順次形成された基板に、前記第 2 半導体層及び前記第 1 絶縁膜を貫通するホールを形成して、該ホール底部に前記第 1 半導体層を露出させる工程と、前記第 2 半導体層上及び前記ホール内に第 3 半導体層を形成する工程と、前記第 3 半導体層の一部が前記ホールを被覆するように、前記第 2、第 3 半導体層を柱状の形状にパターニングする工程と、前記第 2、第 3 半導体層の側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記第 1 絶縁膜上に第 4 半導体層を形成する工程と、前記第 4 半導体層を、前記第 2、第 3 半導体層においてチャンネル領域となるべき領域の側面上に残存するようにパターニングして、ゲート電極を形成する工程と、前記第 2、第 3 半導体層において、前記第 1 絶縁膜上に位置する領域内に、ソース・ドレイン領域を形成する工程とを具備することを特徴としている。

【 0 0 1 6 】

上記の製造方法であると、第 1 絶縁膜上にソース・ドレイン領域が形成される。従って、フィン型 MOS トランジスタにおいて、ソース領域から半導体基板を介してドレイン領域に流れるリーク電流の電流経路が存在しない。従って、ゲート電位では制御し難い上記パスを流れるリーク電流が流れることを抑制出来る。その結果、フィン型 MOS トランジスタの動作信頼性を向上できる。

【 0 0 1 7 】

更に、第 1 絶縁膜にホールを形成し、このホールを介して第 1、第 2 半導体層を電氣的に接続している。従って、チャンネル領域に電位を与えることが出来、S O I 基板を用いた場合であっても、基板浮遊効果が生じることを抑制できる。

【 0 0 1 8 】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0019】

この発明の第1の実施形態に係る半導体装置について、図1乃至図4を用いて説明する。図1乃至図4は、本実施形態に係るフィン型のMOSトランジスタについて示しており、図1は斜視図、図2は平面図、図3は図2におけるX1-X1'線に沿った断面図、図4は図2におけるY1-Y1'線に沿った断面図である。

【0020】

まず図1及び図2を用いて、本実施形態に係るフィン型のMOSトランジスタの平面構造について説明する。図示するように、半導体基板10中には絶縁膜STIが形成されている。そして、絶縁膜STI上に、フィン型の半導体層11が形成されている。フィン型の半導体層11は、それぞれ絶縁膜STI上に形成されたソース領域12、ドレイン領域13、及びチャネル領域14を備えている。そして、ソース領域12とドレイン領域13とは、チャネル領域14を挟んで相対している。チャネル領域14直下の一部の領域では、絶縁膜STIが除去されており、半導体層で形成された接続領域A1が形成されている。この接続領域A1は、半導体基板10とチャネル領域14とを電氣的に接続する。なお、接続領域A1の上面は、チャネル領域14によって完全に覆われている。従って、ソース領域12及びドレイン領域13は、絶縁膜STIによって半導体基板10とは離隔されている。そして、半導体層11上には、ゲート絶縁膜15を介在してゲート電極16が形成されている。ゲート電極16は、チャネル領域14の周囲を取り囲んでいる。

【0021】

図3及び図4は、上記フィン型のMOSトランジスタの断面図である。図示するように、半導体基板10上にフィン型（凸型）のチャネル領域14が形成されている。また、チャネル領域14に接し且つチャネル領域14を介在して互いに対面するように、ソース領域12及びドレイン領域13が、半導体基板10上に

形成されている。上記のチャネル領域 1 4、ソース領域 1 2、及びドレイン領域 1 3 が、フィン型の半導体層 1 1 を形成している。そして、チャネル領域 1 4 にゲート絶縁膜 1 5 を介在して接するようにして、ゲート電極 1 6 が形成されている。ゲート電極 1 6 は、ソース領域 1 2 とドレイン領域 1 4 との間のチャネル領域 1 4 にチャネルを形成する。また、ソース領域 1 2 及びドレイン領域 1 3 直下の半導体基板 1 0 中には、絶縁膜 S T I が形成されている。但し、前述の通り、チャネル領域 1 4 直下の一部領域では、絶縁膜 S T I は形成されていない。この絶縁膜 S T I の形成されていない領域が、半導体基板 1 0 とチャネル領域 1 4 とを電氣的に接続する接続領域 A 1 となる。

【 0 0 2 2 】

次に、上記構成のフィン型 MOS トランジスタの製造方法について、図 5 乃至図 1 9 を用いて説明する。図 6、図 1 4、及び図 1 8 を除く図 5 乃至図 1 9 は、フィン型 MOS トランジスタの製造工程を順次示す断面図であり、図 2 における X 1 - X 1' 線に沿った方向に対応する断面図である。図 6、図 1 4、及び図 1 8 は、それぞれ図 7、図 1 5、及び図 1 9 に示される工程に対応する平面図であり、図 7 は図 6 における X 2 - X 2' 線、図 1 5 は図 1 4 における X 3 - X 3' 線、図 1 9 は図 1 8 における X 4 - X 4' 線に沿った断面図である。

【 0 0 2 3 】

まず図 5 に示すように、半導体（シリコン）基板 1 0 上に、例えば熱酸化法により膜厚 1 0 0 0 Å 程度のシリコン酸化膜 2 0 を形成する。引き続き、シリコン酸化膜 2 0 上に、例えば C V D (Chemical Vapor Deposition) 法により膜厚 3 0 0 Å 程度のシリコン窒化 (S i N) 膜 2 1 を形成する。

【 0 0 2 4 】

次に図 6、図 7 に示すように、シリコン窒化膜 2 1 上にフォトレジスト 2 2 を塗布する。そして、フォトリソグラフィ技術により、フォトレジスト 2 2 を図示するようなパターンにパターニングする。引き続き、フォトレジスト 2 2 をマスクに用いた R I E (Reactive Ion Etching) 法等の異方性のエッチングにより、シリコン窒化膜 2 1 及びシリコン酸化膜 2 0 をエッチングする。その結果、図示するようなホール 2 3 が形成される。ホール 2 3 の底面にはシリコン基板 1 0 が

露出されている。このホール 2 3 は、図 1 乃至図 4 で説明した接続領域 A 1 を形成するためのものである。またホール 2 3 は、その径がフォトリソグラフィ技術の最小加工寸法になるよう形成される。

【 0 0 2 5 】

次にフォトレジスト 2 2 をアッシング等により除去する。その後図 8 に示すように、シリコン窒化膜 2 1 上及びホール 2 3 内に、例えば L P C V D (Low Pressure CVD) 法等により、膜厚 3 0 0 Å 程度のシリコン酸化膜 2 4 を形成する。この際、シリコン酸化膜 2 4 は、ホール 2 3 内の側壁にも均一に堆積するように形成される。また、ホール 2 3 内部を埋め込まないようにして形成される。従って、シリコン酸化膜 2 4 の膜厚は、ホール 2 3 の半径よりも小さい必要がある。

【 0 0 2 6 】

次に図 9 に示すように、R I E 法等によりシリコン酸化膜 2 4 をエッチングする。その結果、シリコン酸化膜 2 4 はホール 2 3 内の側壁にのみ残存し、ホール 2 3 の底部にはシリコン基板 1 0 が露出される。本工程により、シリコン酸化膜 2 0、2 4、及びシリコン窒化膜 2 1 を含む絶縁膜 S T I が完成する。また、ホール 2 3 の側壁にシリコン酸化膜 2 4 を形成したことにより、ホール 2 3 の径は最小加工寸法以下となる。なお、この時点でシリコン窒化膜 2 1 を除去しても良い。この場合には絶縁膜 S T I は、シリコン酸化膜 2 0、2 4 により形成される。

【 0 0 2 7 】

次に図 1 0 に示すように、選択エピタキシャル成長法等により、ホール 2 3 底部のシリコン基板 1 0 上に、シリコン層 2 5 を選択的に形成する。この際、シリコン層 2 5 は、シリコン窒化膜 2 1 の上面に達する程度の膜厚に形成される。なお、このホール 2 3 内のシリコン層 2 5 が、図 1 乃至図 4 で説明した接続領域 A 1 として機能する。

【 0 0 2 8 】

次に図 1 1 に示すように、例えば C V D 法等により、シリコン窒化膜 2 1 及びシリコン層 2 5 上に、膜厚 1 5 0 0 Å 程度のアモルファスシリコン層 1 1 を形成する。そして、シリコン層の結晶成長に適する雰囲気において、長時間のアニー

ルを行って、アモルファスシリコン層 1 1 を単結晶化する。また、M O S トランジスタの閾値電圧を調整するために、イオン注入法を用いてシリコン層 1 1 に不純物をドーピングする。

【 0 0 2 9 】

次に図 1 2 に示すように、シリコン層 1 1 上にシリコン酸化膜 2 6 を形成する。次にシリコン酸化膜 2 6 上にフォトレジスト 2 7 を塗布する。そしてフォトリソグラフィ技術により、フォトレジスト 2 7 を図示するようにパターニングする。このフォトレジストパターンは、図 1 乃至図 4 における半導体層 1 1 の形成パターンである。

【 0 0 3 0 】

次に図 1 3 に示すように、フォトレジスト 2 7 をマスクに用いた R I E 法等により、シリコン酸化膜 2 6 及びシリコン層 1 1 をエッチングする。その後、フォトレジスト 2 7 をアッシング等により除去する。

【 0 0 3 1 】

次に、例えば H F 系のエッチング液を用いたウェットエッチングを行って、シリコン酸化膜 2 6 を除去する。図 8 の工程で形成したシリコン酸化膜 2 4 がシリコン窒化膜 2 4 上に残存していた場合、そのシリコン酸化膜 2 4 も本工程で除去される。その結果、図 1 4、図 1 5 に示すような、フィン型のシリコン層 1 1 が形成される。シリコン層 1 1 の略中央部直下の領域にはシリコン層 2 5 が形成されており、その他の領域には絶縁膜 S T I が形成されている。そして、シリコン層 2 5 を介して、シリコン基板 1 0 とシリコン層 1 1 とが電氣的に接続されている。

【 0 0 3 2 】

次に図 1 6 に示すように、例えば熱酸化法等を用いて、シリコン層 1 1 の表面に膜厚 2 0 Å 程度のゲート絶縁膜 1 5 を形成する。

【 0 0 3 3 】

次に図 1 7 に示すように、例えば C V D 法等を用いて、シリコン窒化膜 2 1 及びゲート絶縁膜 1 5 上に、多結晶シリコン膜 1 6 を形成する。多結晶シリコン膜 1 6 は段差被覆性 (coverage) が良いので、フィン型のシリコン層 1 1 の周囲を

取り囲むようにして形成される。

【 0 0 3 4 】

次に図 1 8、図 1 9 に示すように、フォトリソグラフィ技術とエッチングとにより、多結晶シリコン膜 1 6 を図示するパターンにパターニングする。その結果、ゲート電極 1 6 が完成する。ゲート電極 1 6 は、シリコン層 1 1 の略中央部、即ちチャネル領域の形成予定領域を跨ぐようにして形成される。換言すれば、シリコン層 1 1 とゲート電極 1 6 とが重なる領域の直下に、シリコン層 2 5 が位置する。

【 0 0 3 5 】

その後は、イオン注入法等を用いて、シリコン層 1 1 内に不純物を高濃度にドーピングする。これにより、シリコン層 1 1 内に、ソース領域 1 2 及びドレイン領域 1 3 が形成される。また、ゲート電極 1 6 への不純物のドーピングも行う。以上の工程により、図 1 乃至図 4 に示すフィン型 MOS トランジスタが完成する。

【 0 0 3 6 】

本実施形態に係る構造及び製造方法によれば、フィン型 MOS トランジスタにおいて発生するリーク電流を効果的に低減出来る。この点につき、図 3 を用いて説明する。図 3 に示すように、ソース領域 1 2 及びドレイン領域 1 3 の下部の領域には、絶縁膜 S T I が形成されている。すなわち、ソース領域 1 2 及びドレイン領域 1 3 は、絶縁膜 S T I によってシリコン基板 1 0 から離隔されている。従って、図 5 4 を用いて説明した従来構造と異なり、本実施形態に係る構造では、ソース領域 1 2 からシリコン基板 1 0 を介してドレイン領域 1 3 へ流れるリーク電流パスが存在しない。存在するリーク電流パスは、ソース領域 1 2 からチャネル領域 1 4 を介してドレイン領域 1 3 へ流れるパスだけである。そして、このパスは、ゲート電極により十分に制御できる領域にある。従って、従来に比べて、リーク電流の制御性を向上し、リーク電流を低減することが出来る。

【 0 0 3 7 】

また、本実施形態に係る製造方法によれば、シリコン基板 1 0 を介したリーク電流パスが形成されることを、効果的に防止できる。上述の通り、接続領域 A 1 の形成は次のような順序で行われる。すなわち、まずホール 2 3 を形成し（図 7

参照)、ホール23の側壁に絶縁膜24を形成し(図8、図9参照)、その後、ホール23内をシリコン層25で埋め込む(図10参照)。またゲート電極16は、上記のようにして形成された接続領域A1に重なるようにして形成される。そして、ソース領域12及びドレイン領域13は、ゲート電極16をマスクに用いたイオン注入法により形成される。通常、ゲート電極16は、その幅が最小加工寸法になるよう形成される。またホール23は、側壁に絶縁膜24を形成されることにより、その直径は最小加工寸法よりも小さい。ゲート電極16は、ホール23に重なるようにして形成されるが、絶縁膜24は、その際の合わせずれよりも大きい膜厚で形成される。従って、多結晶シリコン層16をパターニングしてゲート電極16を形成する際に、ゲート電極16とホール23との間に合わせずれが発生したとしても、ゲート電極16はホール23と完全に重なり合う。すなわち、図18の平面図に示すように、接続領域A1は、ゲート電極に完全に被覆される。その結果、ゲート電極16をマスクにして形成されるソース領域12及びドレイン領域13は、接続領域A1に接触せず、その端部は絶縁膜STI上に位置する。よって、ゲート電極16形成時のフォトリソグラフィ工程において、合わせずれが発生したとしても、ソース領域12からシリコン基板10を介してドレイン領域13に達するリーク電流パスが形成されることを防止できる。

【0038】

なお、上記実施形態では、シリコン層25、11をそれぞれ別個の工程で形成している。しかし、図20の断面図に示すように、側壁絶縁膜24を形成した後、シリコン窒化膜21上及びホール23内にアモルファスシリコン層11を形成して、ホール23を埋め込んでも良い。この場合にも、シリコン層11の形成後、アニールを行ってシリコン層11を単結晶化させる。

【0039】

また、上記実施形態では絶縁膜STIはシリコン酸化膜20、24、及びシリコン窒化膜21で形成している。しかし、絶縁膜24の形成後、適宜シリコン窒化膜21を除去し、絶縁膜STIをシリコン酸化膜20、24で形成しても良い。

【0040】

次に、この発明の第 2 の実施形態に係る半導体装置及びその製造方法について、図 2 1 乃至図 2 9 を用いて説明する。本実施形態は、上記第 1 の実施形態において説明した図 1 乃至図 4 に示す構造を、S O I (Silicon On Insulator) 基板を使用して形成する場合の製造方法に関するものである。図 2 1 乃至図 2 9 は、本実施形態に係るフィン型 M O S トランジスタの製造工程を順次示す断面図である。

【 0 0 4 1 】

まず図 2 1 に示すように、熱酸化法等により、S O I 基板 3 0 上に膜厚 5 0 Å 程度のシリコン酸化膜 3 1 を形成する。引き続きシリコン酸化膜 3 1 上に C V D 法等により膜厚 3 0 0 Å 程度のシリコン窒化膜 3 2 を形成する。S O I 基板 3 0 は、シリコン基板 1 0、シリコン基板 1 0 上に形成された膜厚 1 0 0 0 Å 程度のシリコン酸化膜 (B O X 層 : Buried Oxide 層) 3 3、及びシリコン酸化膜 3 3 上に形成された膜厚 5 0 0 Å 程度のシリコン層 (S O I 層) 3 4 を有している。この S O I 基板 3 0 は、2 枚のシリコン基板を張り合わせることによって形成しても良いし、S I M O X (Separation by Implanted Oxygen) 法によって形成しても良い。

【 0 0 4 2 】

次に図 2 2 に示すように、シリコン窒化膜 3 2 上にフォトレジスト 3 5 を塗布する。そして、フォトリソグラフィ技術により、フォトレジスト 3 5 を図示するようなパターンにパターンニングする。フォトレジストパターンは、上記第 1 の実施形態で説明した図 6 と同様のパターンである。引き続き、フォトレジスト 3 5 をマスクに用いた R I E 法等により、シリコン窒化膜 3 2、シリコン酸化膜 3 1、シリコン層 3 4、及びシリコン酸化膜 3 3 をエッチングする。その結果、図示するようなホール 2 3 が形成される。ホール 2 3 の底面にはシリコン基板 1 0 が露出されている。このホールは、図 1 乃至図 4 で説明した接続領域 A 1 を形成するためのものである。またホール 2 3 は、その径がフォトリソグラフィ技術の最小加工寸法になるように形成される。

【 0 0 4 3 】

次にフォトレジスト 3 5 をアッシングなどにより除去する。その後図 2 3 に示

すように、シリコン窒化膜 3 2 上及びホール 2 3 内に、例えば L P C V D 法等により、膜厚 3 0 0 Å 程度のシリコン酸化膜 2 4 を形成する。本工程は、上記第 1 の実施形態において図 8 を用いて説明した工程と同様である。

【 0 0 4 4 】

次に、上記第 1 の実施形態において図 9 を用いて説明した工程により、シリコン酸化膜 2 4 をホール 2 3 側面にのみ残存させる。その結果、図 2 4 に示す構造を得る。その後、 H_3PO_4 等のエッチング液を用いたウェットエッチングにより、シリコン窒化膜 3 2 を除去する。引き続き、シリコン層 3 4 上のシリコン酸化膜 3 1 を除去する。本実施形態では、絶縁膜 S T I は、シリコン酸化膜 2 4、3 3 によって形成される。

【 0 0 4 5 】

次に図 2 5 に示すように、シリコン層 3 4 上及びホール 2 3 内に、膜厚 5 0 0 Å 程度のアモルファスシリコン層 3 6 を形成する。そして、シリコンの結晶成長に適した雰囲気中で長時間アニールして、アモルファスシリコン 3 6 を単結晶化する。なお、アモルファスシリコン層 3 6 は、ホール 2 3 内においては底面及び側面から形成され、その結果としてホール 2 3 内が埋め込まれる。従って、ホール 2 3 内部及びホール 2 3 上方のアモルファスシリコン層 3 6 内には結晶欠陥が多数存在する場合がある。このような場合には、例えば A r 等の不活性イオンや、G e 等の元素（シリコン基板中に残っても問題とならないような元素）を、アモルファスシリコン層 3 6 内にイオン注入により導入する。そして、アニールを行って、アモルファスシリコン層 3 6 の再結晶化を行い、結晶性を向上させることが望ましい。

【 0 0 4 6 】

次に図 2 6 に示すように、シリコン層 3 6 上にシリコン酸化膜 2 6 を形成する。次にシリコン酸化膜 2 6 上にフォトレジスト 2 7 を塗布した後、フォトリソグラフィ技術により、フォトレジスト 2 7 を図示するようにパターニングする。このフォトレジストパターンは、図 1 乃至図 4 における半導体層 1 1 の形成パターンである。

【 0 0 4 7 】

次に図27に示すように、フォトリソスト27をマスクに用いたRIE法等により、シリコン酸化膜26及びシリコン層36、34をエッチングする。そして、フォトリソスト27をアッシング等により除去し、シリコン酸化膜26をHF系のエッチング液でエッチングして除去する。その結果、図示するようなフィン型のシリコン層11が形成される。本実施形態に係るシリコン層11は、シリコン層34、36を含む。そして、シリコン層11の略中央部において、シリコン層11とシリコン基板10とが接する領域が、接続領域A1となる。なお、図27の平面構造は、上記第1の実施形態で説明した図14と同様である。

【0048】

その後は上記第1の実施形態と同様の工程を行う。すなわち、図28に示すように、シリコン層11の表面にゲート絶縁膜15を形成する。そして図29に示すように、ゲート電極16を形成する。ゲート電極16は、シリコン層11の略中央部（チャネル領域の形成予定領域）を跨ぐようにして形成され、接続領域A1は、シリコン層11とゲート電極16とが重なる領域の直下に位置する。その後、シリコン層11内に、ソース領域12及びドレイン領域13を形成して、図1乃至図4に示すフィン型MOSトランジスタが完成する。

【0049】

上記のような製造方法によれば、SOI基板を用いて上記第1の実施形態に示す構造が得られ、また第1の実施形態と同様の効果が得られる。更に、接続領域A1において、シリコン層11とシリコン基板10とを電氣的に接続している。従って、SOI基板を用いつつも、基板浮遊効果が生じない。従って、MOSトランジスタの動作信頼性を向上できる。

【0050】

なお上記実施形態では、シリコン層36によりホール23を埋め込んでいる。しかし、図30、図31に示すように、本工程を2工程に分けて行っても良い。すなわち図30に示すように、上記第1の実施形態で説明した方法で、ホール23内に選択的にシリコン層25を形成する。その後、図31に示すように、シリコン層34上及びシリコン層25上にシリコン層36を形成しても良い。

【0051】

次にこの発明の第 3 の実施形態に係る半導体装置及びその製造方法について説明する。本実施形態は、上記第 1 の実施形態に係るフィン型 MOS トランジスタを DRAM (Dynamic Random Access Memory) のセルトランジスタに適用したものである。

【0052】

まず図 3 2 を用いて DRAM の平面構造について説明する。図 3 2 は、本実施形態に係る DRAM セルアレイの平面図である。

【0053】

図示するように、シリコン基板中に形成された絶縁膜 STI 上に、複数のフィン型のシリコン層 1 1 が千鳥状に配置されている。図 3 2 において斜線の付された領域がシリコン層 1 1 を示している。また、シリコン層 1 1 の長手方向に直交する方向に沿って、ストライプ状のワード線 WL が形成されている。ワード線 WL は、複数のシリコン層 1 1 に跨って形成されており、1 つのシリコン層 1 1 上を 2 本のワード線 WL が通過する。そして、ワード線 WL と、シリコン層 1 1 内に形成されたソース・ドレイン領域（図示せず）によって、セルトランジスタが形成されている。更に、シリコン層 1 1 の長手方向の両端部には、トレンチ型のセルキャパシタ CC が形成されている。シリコン層 1 1 内のソース領域とセルキャパシタ CC とは、ノードコンタクト NC によって電氣的に接続されており、これらセルトランジスタとセルキャパシタとによって DRAM のメモリセルが形成されている。同一列に位置するセルトランジスタは、同一のワード線 WL に接続されている。また、同一行に位置するメモリセルにビット線コンタクト BC を介して電氣的に接続された複数のビット線 BL が、シリコン層 1 1 の長手方向に沿って設けられている。

【0054】

そして、シリコン層 1 1 とワード線 WL とが重なる領域では、絶縁膜 STI が除去されており、接続領域 A 1 となっている。この接続領域 A 1 によって、フィン型のシリコン層 1 1 とシリコン基板とは電氣的に接続されている。

【0055】

次に、上記 DRAM セルアレイの断面構造について、図 3 3、図 3 4 を用いて

説明する。図 3 3、図 3 4 はそれぞれ、図 3 2 における X 5 - X 5' 線及び Y 5 - Y 5' 線に沿った断面図である。

【 0 0 5 6 】

図示するように、p 型シリコン基板 1 0 の表面内には絶縁膜 S T I が形成されている。絶縁膜 S T I 上には、フィン型のシリコン層 1 1 が形成されている。そして、フィン型シリコン層 1 1 の表面からシリコン基板 1 0 内部に達するようにして、セルキャパシタ C C 形成用のトレンチ 4 0 が形成されている。このトレンチ 4 0 の上部を除いた内周面上にはキャパシタ絶縁膜 4 1 が形成されている。更にトレンチ 4 0 上部の内周面上には、キャパシタ絶縁膜 4 1 よりも膜厚の大きいカラー酸化膜 4 2 が形成されている。また、トレンチ 4 0 内にはストレージノード電極 4 3 が、トレンチ 4 0 内部を途中まで埋め込むようにして形成され、ストレージノード電極 4 3 上に更に導電体層 4 4 が形成されている。また、トレンチ 4 0 の開口部におけるカラー酸化膜 4 2 及び導電体層 4 4 上には、導電体層 4 4 上面を被覆するようにして、絶縁膜 4 5 が形成されている。そして、シリコン基板 1 0 中には、キャパシタ絶縁膜 4 0 と接するようにして n^+ 型不純物拡散層 4 6 が形成されている。この n^+ 型不純物拡散層 4 6 はプレート電極として機能するものである。以上のようにして、トレンチ型のセルキャパシタ C C が形成されている。

【 0 0 5 7 】

フィン型のシリコン層 1 1 は、その長手方向の両端において、セルキャパシタ C C に接している。図示するように、シリコン層 1 1 内にはソース領域 1 2、ドレイン領域 1 3、及びチャネル領域 1 4 が形成されている。そして、シリコン層 1 1 上には、上面上では絶縁膜 4 7、4 8 を介在して、また側面上ではゲート絶縁膜 1 5 を介在して、ゲート電極 1 6 が形成されている。以上のようにして、セルトランジスタが形成されている。

【 0 0 5 8 】

なお、チャネル領域 1 4 直下の領域では、絶縁膜 S T I が除去されており、この領域が接続領域 A 1 となる。接続領域 A 1 では、シリコン基板 1 0 とチャネル領域 1 4 とが電氣的に接続されている。またソース領域 1 2 及びドレイン領域 1

3直下の領域では絶縁膜STIが形成されており、ソース領域12及びドレイン領域13とシリコン基板10とは、絶縁膜STIによって離隔されている。

【0059】

ゲート電極16の周囲には、絶縁膜49、50、51が形成されている。そして、絶縁膜51中に、ノードコンタクトNCとなるコンタクトプラグ52が形成されている。ノードコンタクトプラグ52は、セルトランジスタのソース領域12と、セルキャパシタCCの導電体層44とを電氣的に接続する。そして、ゲート電極16及びノードコンタクトプラグ52を被覆するようにして絶縁膜53が形成され、絶縁膜53上にはビット線BLとなる金属配線層54が形成されている。金属配線層54は、ビット線コンタクトプラグBCとなるコンタクトプラグ55によって、セルトランジスタのドレイン領域13と電氣的に接続されている。

【0060】

以上のようにして、DRAMのセルアレイが形成されている。

【0061】

次に、上記構成のDRAMの製造方法について、図35乃至図50を用いて説明する。図35乃至図50は、本実施形態のDRAMの製造工程を順次示しており、図35、図38、図43及び図46は平面図、図36、図37、図39乃至図42、図44、図45、及び図47乃至図50は断面図である。特に、図36は図35におけるX6-X6'線、図39は図38におけるX7-X7'線、図44は図43におけるX8-X8'線、図45は図43におけるY8-Y8'線、図47は図46におけるX9-X9'線、図48は図46におけるY9-Y9'線、に沿った断面図である。

【0062】

まず上記第1の実施形態で説明した工程に従って、p型シリコン基板10上に、シリコン酸化膜20及びシリコン窒化膜21を順次形成する。そして、フォトリソグラフィ技術とエッチングとにより、図35、図36に示すように、ホール23をシリコン酸化膜20及びシリコン窒化膜21中に形成する。前述の通り、ホール23は接続領域A1を形成するためのもので、セルトランジスタのチャネ

ル領域が形成されるべき領域の直下に位置する。

【 0 0 6 3 】

引き続き、第 1 の実施形態において図 8 乃至図 1 1 に示す工程を経て、図 3 7 に示す構造を得る。すなわち、ホール 2 3 の側壁にシリコン酸化膜 2 4 を形成する。更に、ホール 2 3 内をシリコン層 2 5 で埋め込み、シリコン窒化膜 2 1 及びシリコン層 2 5 上にシリコン層 1 1 を形成する。

【 0 0 6 4 】

次に、セルキャパシタを形成する。すなわち、まずシリコン層 1 1 上に熱酸化法等により膜厚 2 0 Å 程度のシリコン酸化膜 4 7 を形成する。引き続き、シリコン酸化膜 4 7 上に、CVD 法等により膜厚 7 0 0 Å 程度のシリコン窒化膜 4 8 を形成する。更に、シリコン窒化膜 4 8 上に、ボロン添加のシリコン酸化膜 (B S G : Boron Silicate Glass) 6 0 を膜厚 1 2 0 0 0 Å 程度に形成し、シリコン酸化膜 6 0 上に、膜厚 1 2 0 0 0 Å 程度のシリコン酸化膜 6 1 を、TEOS (tetraethylorthosilicate ; $\text{Si}(\text{OC}_2\text{H}_5)_4$) を用いて形成する。次に、シリコン酸化膜 6 1 上にフォトレジストを塗布し、リソグラフィ技術によりフォトレジストをセルキャパシタ CC の形成パターンにパターニングする。そして、図 3 8、図 3 9 に示すように、フォトレジストをマスクに用いて、シリコン酸化膜 6 1、6 0、シリコン窒化膜 4 8、シリコン酸化膜 4 7、シリコン層 1 1、シリコン窒化膜 2 1、及びシリコン酸化膜 2 0 を順次エッチングして、ホール 6 2 を形成する。その後フォトレジストを除去する。

【 0 0 6 5 】

次に図 4 0 に示すように、シリコン酸化膜 6 1 / シリコン酸化膜 6 0 / シリコン窒化膜 4 8 / シリコン酸化膜 4 7 を含む多層膜をマスクに用いた R I E 法等により、シリコン基板 1 0 をエッチングする。その結果、図示するようなトレンチ 4 0 が形成される。なお、シリコン基板 1 0 のエッチングの際、シリコン酸化膜 6 1 も除去されてしまってもかまわないが、シリコン酸化膜 6 0 / シリコン窒化膜 4 8 / シリコン酸化膜 4 7 は残存している必要がある。

【 0 0 6 6 】

次に、膜厚 3 0 0 Å 程度の砒素添加のシリコン酸化膜 (A s S G : Arsenic do

ped Silicate Glass) 63 を、トレンチ 40 の内壁に形成する。更に、シリコン酸化膜 63 上にフォトレジスト 64 を塗布する。そして、シリコン酸化膜 63 及びフォトレジスト 64 を、トレンチ 40 内においてプレート電極形成予定領域までリセスする。引き続きトレンチ 40 内に、膜厚 200 Å 程度のシリコン酸化膜 65 を、TEOS を用いて形成する。

【0067】

次に、温度 1000℃ 程度の高温でアニールを行う。すると、シリコン酸化膜 63 に含まれる砒素原子がシリコン基板 10 内へ拡散する。その結果、図 41 に示すように、シリコン基板 10 中に、プレート電極として機能する n^+ 型不純物拡散層 46 が形成される。 n^+ 型不純物拡散層 46 の不純物濃度は、例えば $10^{20} / \text{cm}^3$ 程度である。その後、トレンチ内のシリコン酸化膜 63、65、及びフォトレジスト 64 を除去する。

【0068】

次に図 42 に示すように、トレンチ 40 内壁に、膜厚 80 Å 程度のシリコン窒化膜を例えば CVD 法等により形成する。そして、シリコン窒化膜の表面を酸化する。この結果、シリコン窒化膜とシリコン酸化膜の積層膜である NO (Nitride-Oxide) 膜 41 が形成される。NO 膜 41 はキャパシタ絶縁膜として機能するものである。引き続き、砒素を添加したアモルファスシリコン層 43 をキャパシタ絶縁膜 41 上に形成し、トレンチ 40 内を埋め込む。そして、RIE 法等により、アモルファスシリコン層 43 をトレンチ 40 内における所定の深さまで除去する。このようにしてトレンチ 40 内に残存されるアモルファスシリコン層 43 は、セルキャパシタのストレージノード電極として機能する。次に、RIE 法等により、トレンチ 40 上部のキャパシタ絶縁膜 41 を除去する。そして、トレンチ 40 内にシリコン酸化膜 42 を、TEOS を用いて形成する。この際、トレンチ 40 が完全に埋め込まれないように、シリコン酸化膜 42 を形成する必要がある。その後、RIE 法等によりシリコン酸化膜 42 をエッチングして、シリコン酸化膜 42 を、キャパシタ絶縁膜 41 上部のトレンチ 40 側壁にのみ残存させる。このようにして形成されたシリコン酸化膜 42 はカラー酸化膜となる。次に、再び砒素添加のアモルファスシリコン層 44 をトレンチ 40 内に形成し、トレン

チ 4 0 内部を埋め込む。その後、トレンチ 4 0 内部のアモルファスシリコン層 4 4 を、その表面から深さ 1 0 0 0 Å 程度、R I E 法等によりエッチングする。次に、トレンチ 4 0 内にシリコン酸化膜 4 5 を、T E O S を用いて形成し、トレンチ 4 0 内部を埋め込む。これにより、トレンチ 4 0 の開口部は、シリコン酸化膜 4 5 によって被覆される。その後、シリコン窒化膜 4 8 をストッパーに用いた C M P (Chemical Mechanical Polishing) 法により、シリコン酸化膜 4 5 の一部、及びシリコン酸化膜 6 0、6 1 を除去する。その結果、図 4 2 に示す構造が得られる。また、以上のようにして、トレンチ型のセルキャパシタ C C が完成する。

【 0 0 6 9 】

次に、シリコン窒化膜 4 8 及びシリコン酸化膜 4 5 上にフォトレジストを塗布する。そして、フォトリソグラフィ技術を用いて、フォトレジストをフィン型のシリコン層 1 1 の形成パターンにパターニングする。そして、フォトレジストをマスクに用いた R I E 法により、シリコン窒化膜 4 8、シリコン酸化膜 4 7、及びシリコン層 1 1 をエッチングする。その結果、図 4 3 乃至図 4 5 に示すように、千鳥状に配置されたフィン型のシリコン層 1 1 が複数形成される。その後、フォトレジストを除去し、シリコン層 1 1 を H F 系の薬液により洗浄する。そして、熱酸化法等によりシリコン層 1 1 側壁に、膜厚 5 0 Å 程度のシリコン酸化膜 1 5 を形成する。シリコン酸化膜 1 5 はゲート絶縁膜として機能するものである。

【 0 0 7 0 】

次に、フィン型のシリコン層 1 1 上、シリコン層 1 1 が除去されることにより露出されたシリコン窒化膜 2 1 上、及びセルキャパシタ開口部のシリコン酸化膜 4 5 上に、ボロンを添加した多結晶シリコン層 6 6 を形成する。そして、シリコン層 1 1 上のシリコン窒化膜 4 8 をストッパーに用いた C M P 法により、多結晶シリコン層 6 6 を研磨する。引き続き、多結晶シリコン層 6 6 上に、ボロンを添加した多結晶シリコン層 6 7 及びシリコン窒化膜 4 9 を、それぞれ膜厚 1 0 0 0 Å、2 0 0 0 Å 程度に形成する。その後、シリコン窒化膜 4 9 上にフォトレジストを塗布して、ゲート電極の形成パターンにパターニングする。そして、R I E 法等により、シリコン窒化膜 4 9、シリコン層 6 7、6 6、及びシリコン窒化膜

4 8 を順次パターニングする。その結果、図 4 6 乃至図 4 8 に示すようなゲート電極 1 6 が完成する。

【0 0 7 1】

次に図 4 9 に示すように、露出しているシリコン層 6 6、6 7 の側壁を、温度 1 0 0 0 °C 以上の熱酸化法によって酸化して、膜厚 1 0 0 Å 程度のシリコン酸化膜 6 8 を形成する。そして、フォトリソグラフィ技術によりシリコン層 1 1 以外の領域をレジストで被覆した後、イオン注入法により、シリコン層 1 1 中に n 型不純物を導入する。その後、必要に応じて温度 9 5 0 °C 以上の高温のアニールを短時間行って、導入した不純物を活性化する。この結果、シリコン層 1 1 中に、ソース領域 1 2 及びドレイン領域 1 3 が形成される。また、ソース領域 1 2 とドレイン領域 1 3 との間の領域がチャネル領域 1 4 となり、セルトランジスタが完成する。

【0 0 7 2】

次に図 5 0 に示すように、膜厚 3 0 0 Å 程度のシリコン窒化膜 5 0 をシリコン層 1 1 上及びセルキャパシタのシリコン酸化膜 4 5 上に、ゲート電極 1 6 を被覆するようにして形成する。そして、R I E 法によりシリコン窒化膜 5 0 をエッチングして、シリコン窒化膜 5 0 をゲート電極 1 6 側壁に残存させる。引き続き、膜厚 8 0 Å 程度のシリコン窒化膜 6 9 を、ゲート電極 1 6 を被覆するようにして形成し、更にシリコン窒化膜 6 9 上に、ボロン及びリン添加のシリコン酸化膜 (B P S G : Boron Phosphorous Silicate Glass) 5 1 を 5 0 0 0 Å 程度の膜厚に形成する。そして、シリコン窒化膜 6 9 をストッパーに用いた C M P 法により、シリコン酸化膜 5 1 を研磨する。

【0 0 7 3】

その後は、シリコン酸化膜 5 1 及びシリコン窒化膜 6 9 上にフォトレジストを塗布し、フォトリソグラフィ技術によりフォトレジストを Surface strap のパターンにパターニングする。そして、パターニングされたフォトレジストとゲート電極 1 6 上のシリコン窒化膜 4 9、6 9 をマスクに用いた R I E 法等により、シリコン酸化膜 5 1 中に、ノードコンタクト N C 形成用のコンタクトホールを形成する。更に、コンタクトホール底部のシリコン窒化膜 6 9 及びシリコン酸化膜 4

7、45をエッチングして、コンタクトホール底部にシリコン層11（ソース領域12）、及びセルキャパシタ内のシリコン層44を露出させる。そして、洗浄工程を行った後、コンタクトホール内に高濃度に燐を添加したアモルファスシリコン層を形成する。次に、シリコン酸化膜51をストッパーに用いたCMP法により、アモルファスシリコン層を研磨して、ノードコンタクトプラグNCを完成する。

【0074】

引き続き、ノードコンタクトプラグNC及びゲート電極16を被覆するようにして、シリコン酸化膜51上に、膜厚2000Å程度のシリコン酸化膜53を形成する。次に、フォトリソグラフィ技術とエッチングとにより、シリコン酸化膜53表面から、シリコン層11（ドレイン領域13）に達するコンタクトホールを形成する。このコンタクトホールは、ビット線コンタクトプラグBCを形成するためのものである。この際、周辺領域において必要となるコンタクトホールの形成も同時に行う。その後、フォトレジストを除去して洗浄を行って、コンタクトホールの側面及び底面上に、Ti/TiN膜を例えばスパッタリング法により形成する。引き続き、コンタクトホール内にタングステン層を形成して、コンタクトホール内を埋め込む。次に、シリコン酸化膜53をストッパーに用いたCMP法により、タングステン層及びTi/TiN層を研磨して、ビット線コンタクトプラグNCを完成する。そして、シリコン酸化膜53上に、ビット線コンタクトプラグBCに接する金属配線層54を形成する。金属配線層54は、ビット線BLとして機能するものである。

以上のようにして、図31乃至図34に示すDRAMが完成する。

【0075】

本実施形態に係るDRAMによれば、上記第1の実施形態と同様に、セルトランジスタにおいて発生するリーク電流を低減できる。その結果、DRAMのデータ保持に関する信頼性を向上できる。

【0076】

従来、MOSトランジスタのチャネル幅の微細化は、ウェルの不純物濃度を上げることによって行われてきた。しかし、ウェルの不純物濃度を上げると、ソー

ス領域及びドレイン領域と、ウェルとの間のpn接合におけるリーク電流が増加する。従って、DRAMのセルトランジスタの場合、ウェルの不純物濃度を上げることが困難であった。そこで、ウェルの濃度を上げずに特性を向上できる構造として、フィン型が提案された。フィン型MOSトランジスタは、通常、SOI基板上に形成される。しかし、SOI基板では基板浮遊効果があるため、DRAMに適用することは望ましくない。従って、DRAMに適用されるフィン型MOSトランジスタは、SOIではないバルクシリコンを基板に用いて形成される。しかし、この場合でも、従来技術で説明したように、基板近くの領域で流れるリーク電流の制御が困難であるという問題があった。

【0077】

しかし、本実施形態に係る構造であると、ソース領域及びドレイン領域の下部は、完全に絶縁膜STIで覆われている。従って、ソース領域からドレイン領域へ流れるリーク電流の電流経路は、ゲート電圧によって十分に制御が可能なウェル領域を介する経路だけである。従って、従来問題となっていたフィン型MOSトランジスタのリーク電流の制御性を向上でき、DRAMメモリセルの信頼性を向上できる。

【0078】

また、上記第1の実施形態と同様に、シリコン基板10を介したリーク電流パスが形成されることを、効果的に防止できる。

【0079】

なお本実施形態では、接続領域A1を、シリコン層25で形成しているが、上記第1の実施形態の変形例で説明したように、シリコン層11で形成しても良い。

【0080】

次に、この発明の第4の実施形態に係る半導体装置の製造方法について、図51乃至図53を用いて説明する。本実施形態は、上記第2、第3の実施形態を組み合わせたものであり、第3の実施形態で説明したDRAMの製造方法を、SOI基板を用いた場合に適用したものである。図51乃至図53は、本実施形態に係るDRAMの製造工程を順次示す断面図であり、特に、図32におけるX5-

X 5' 線に沿った方向の断面図である。

【 0 0 8 1 】

まず、上記第 2 の実施形態において図 2 1 を用いて説明したとおり、S O I 基板 3 0 上にシリコン酸化膜 3 1 及びシリコン窒化膜 3 2 を順次形成する。

【 0 0 8 2 】

次に、上記第 2 の実施形態において図 2 2 を用いて説明したとおり、フォトリソグラフィ技術とエッチングとにより、シリコン窒化膜 3 2、シリコン酸化膜 3 1、シリコン層 3 4、及びシリコン酸化膜 3 3 を順次エッチングする。その結果、図 5 1 に示すように、ホール 2 3 が形成される。このホール 2 3 の形成パターンは、上記第 3 の実施形態で説明した図 3 5 に示すパターンである。

【 0 0 8 3 】

次に、上記第 2 の実施形態において図 2 3 及び図 2 4 を用いて説明した工程により、ホール 2 3 の側壁にシリコン酸化膜 2 4 を形成して、図 5 2 に示す構造を得る。これにより、絶縁膜 S T I が、シリコン酸化膜 3 3、2 4 によって形成される。

【 0 0 8 4 】

次に、上記第 2 の実施形態において図 2 5 を用いて説明したとおり、シリコン層 3 4 及びホール 2 3 内にアモルファスシリコン層 3 6 を形成し、引き続きアニールを行う。

【 0 0 8 5 】

次に、上記第 3 の実施形態で説明した工程により、セルキャパシタを形成する。すなわち、シリコン層 3 6 上に、シリコン酸化膜 4 7 及びシリコン窒化膜 4 8 を順次形成する。更にシリコン窒化膜 4 8 上に、ボロン添加のシリコン酸化膜 6 0 及びシリコン酸化膜 6 1 を順次形成する。そして、リソグラフィ技術とエッチングとにより、図 5 3 に示すように、ホール 6 2 を形成する。ホール 6 2 の形成パターンは、上記第 3 の実施形態で説明した図 3 8 に示すパターンである。

【 0 0 8 6 】

その後は、上記第 3 の実施形態において図 4 0 乃至図 5 0 に示す工程を行って、図 3 1 乃至図 3 4 に示す D R A M が完成する。

【 0 0 8 7 】

本実施形態に係る構成及び製造方法によれば、上記第 2 の実施形態で説明したように、SOI 基板において基板浮遊効果が生じない。従って、本実施形態に係る DRAM のセルトランジスタにおいては、SOI 基板を用いることによる利点を得られると共に、基板浮遊効果による悪影響を排除でき、セルトランジスタの動作信頼性を向上できる。また、従来の DRAM 混載型のシステム LSI では、DRAM が形成される領域ではバルク基板を使用し、その他のデジタル回路が形成される領域では SOI 基板を使用する方法があった。すなわち、部分 SOI 基板が使用されてきた。しかし本実施形態に係る構成であると、DRAM を SOI 基板上に形成することが出来、部分 SOI 基板を使用する必要性がない。従って、システム LSI の製造工程を簡略化出来、製造コストを削減できる。

【 0 0 8 8 】

なお本実施形態では、シリコン層 36 によりホール 23 を埋め込んでいる。しかし、本工程は、第 2 の実施形態において図 30、図 31 を用いて説明したように、2 工程に分けて行っても良い。また、上記第 3、第 4 の実施形態では、トレンチ型のセルキャパシタを有する DRAM について説明したが、勿論、スタック型のセルキャパシタを有する DRAM にも適用可能であるのは言うまでもない。この場合には、上記実施形態で説明した工程によりフィン型のセルトランジスタを形成し、層間絶縁膜によってセルトランジスタを被覆した後、従来の工程により層間絶縁膜上にスタック型のセルキャパシタを形成すればよい。更に、この発明の第 1 乃至第 4 の実施形態に係るフィン型の MOS トランジスタは、DRAM だけでなく、例えば強誘電体キャパシタを備えた強誘電体メモリなど、トランジスタを含む半導体メモリ全般に適用することが出来る。

【 0 0 8 9 】

また、上記第 1 乃至第 4 の実施形態における製造工程の順序は、上記のように限定されるものではなく、可能な限り順序を入れ替えることが可能である。

【 0 0 9 0 】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態

には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0091】

【発明の効果】

以上説明したように、この発明によれば、リーク電流を低減できる半導体装置及びその製造方法を提供出来る。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係る半導体装置の斜視図。

【図2】 この発明の第1の実施形態に係る半導体装置の平面図。

【図3】 図2におけるX1-X1'線方向に沿った断面図。

【図4】 図2におけるY1-Y1'線方向に沿った断面図。

【図5】 この発明の第1の実施形態に係る半導体装置の第1の製造工程の断面図。

【図6】 この発明の第1の実施形態に係る半導体装置の第2の製造工程の平面図。

【図7】 図6におけるX2-X2'線に沿った断面図。

【図8】 この発明の第1の実施形態に係る半導体装置の第3の製造工程の断面図。

【図9】 この発明の第1の実施形態に係る半導体装置の第4の製造工程の断面図。

【図10】 この発明の第1の実施形態に係る半導体装置の第5の製造工程の断面図。

【図11】 この発明の第1の実施形態に係る半導体装置の第6の製造工程の断面図。

【図12】 この発明の第1の実施形態に係る半導体装置の第7の製造工程の断面図。

【図 1 3】 この発明の第 1 の実施形態に係る半導体装置の第 8 の製造工程の断面図。

【図 1 4】 この発明の第 1 の実施形態に係る半導体装置の第 9 の製造工程の平面図。

【図 1 5】 図 1 4 における X 3 - X 3' 線に沿った断面図。

【図 1 6】 この発明の第 1 の実施形態に係る半導体装置の第 1 0 の製造工程の断面図。

【図 1 7】 この発明の第 1 の実施形態に係る半導体装置の第 1 1 の製造工程の断面図。

【図 1 8】 この発明の第 1 の実施形態に係る半導体装置の第 1 2 の製造工程の平面図。

【図 1 9】 図 1 8 における X 4 - X 4' 線に沿った断面図。

【図 2 0】 この発明の第 1 の実施形態の変形例に係る半導体装置の製造工程の一部の断面図。

【図 2 1】 この発明の第 2 の実施形態に係る半導体装置の第 1 の製造工程の断面図。

【図 2 2】 この発明の第 2 の実施形態に係る半導体装置の第 2 の製造工程の断面図。

【図 2 3】 この発明の第 2 の実施形態に係る半導体装置の第 3 の製造工程の断面図。

【図 2 4】 この発明の第 2 の実施形態に係る半導体装置の第 4 の製造工程の断面図。

【図 2 5】 この発明の第 2 の実施形態に係る半導体装置の第 5 の製造工程の断面図。

【図 2 6】 この発明の第 2 の実施形態に係る半導体装置の第 6 の製造工程の断面図。

【図 2 7】 この発明の第 2 の実施形態に係る半導体装置の第 7 の製造工程の断面図。

【図 2 8】 この発明の第 2 の実施形態に係る半導体装置の第 8 の製造工程

の断面図。

【図 2 9】 この発明の第 2 の実施形態に係る半導体装置の第 9 の製造工程の断面図。

【図 3 0】 この発明の第 2 の実施形態の変形例に係る半導体装置の第 1 の製造工程の断面図。

【図 3 1】 この発明の第 2 の実施形態の変形例に係る半導体装置の第 2 の製造工程の断面図。

【図 3 2】 この発明の第 3 の実施形態に係る半導体装置の平面図。

【図 3 3】 図 3 2 における X 5 - X 5' 線に沿った断面図。

【図 3 4】 図 3 2 における Y 5 - Y 5' 線に沿った断面図。

【図 3 5】 この発明の第 3 の実施形態に係る半導体装置の第 1 の製造工程の平面図。

【図 3 6】 図 3 5 における X 6 - X 6' 線に沿った断面図。

【図 3 7】 この発明の第 3 の実施形態に係る半導体装置の第 2 の製造工程の断面図。

【図 3 8】 この発明の第 3 の実施形態に係る半導体装置の第 3 の製造工程の平面図。

【図 3 9】 図 3 8 における X 7 - X 7' 線に沿った断面図。

【図 4 0】 この発明の第 3 の実施形態に係る半導体装置の第 4 の製造工程の断面図。

【図 4 1】 この発明の第 3 の実施形態に係る半導体装置の第 5 の製造工程の断面図。

【図 4 2】 この発明の第 3 の実施形態に係る半導体装置の第 6 の製造工程の断面図。

【図 4 3】 この発明の第 3 の実施形態に係る半導体装置の第 7 の製造工程の平面図。

【図 4 4】 図 4 3 における X 8 - X 8' 線に沿った断面図。

【図 4 5】 図 4 3 における Y 8 - Y 8' 線に沿った断面図。

【図 4 6】 この発明の第 3 の実施形態に係る半導体装置の第 8 の製造工程

の平面図。

【図 4 7】 図 4 6 における X 9 - X 9' 線に沿った断面図。

【図 4 8】 図 4 6 における Y 9 - Y 9' 線に沿った断面図。

【図 4 9】 この発明の第 3 の実施形態に係る半導体装置の第 9 の製造工程の断面図。

【図 5 0】 この発明の第 3 の実施形態に係る半導体装置の第 1 0 の製造工程の断面図。

【図 5 1】 この発明の第 4 の実施形態に係る半導体装置の第 1 の製造工程の断面図。

【図 5 2】 この発明の第 4 の実施形態に係る半導体装置の第 2 の製造工程の断面図。

【図 5 3】 この発明の第 4 の実施形態に係る半導体装置の第 3 の製造工程の断面図。

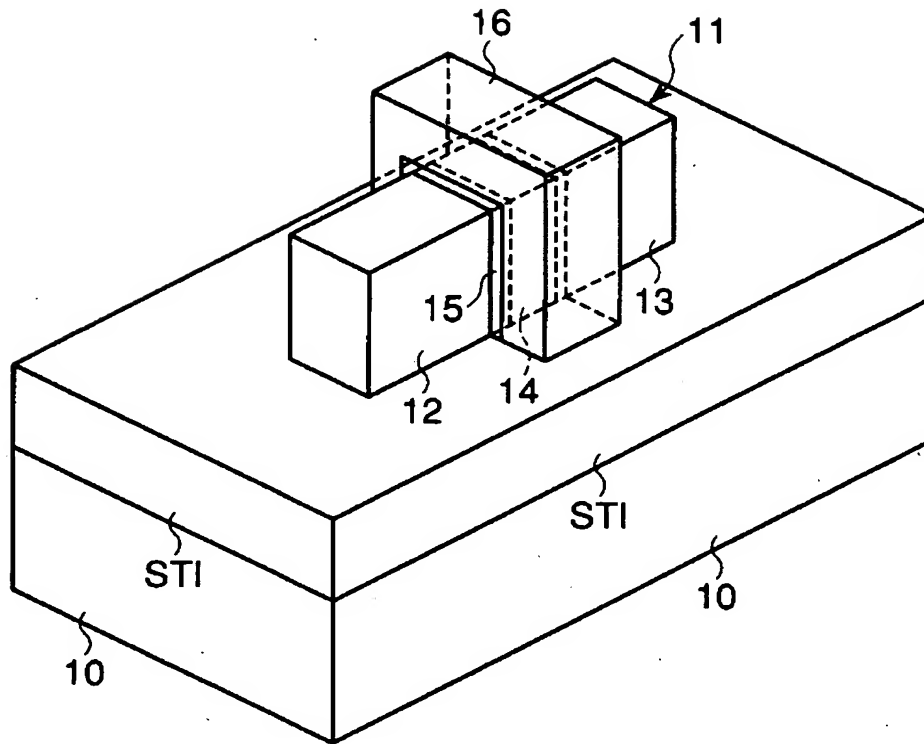
【図 5 4】 従来の半導体装置の断面図。

【符号の説明】

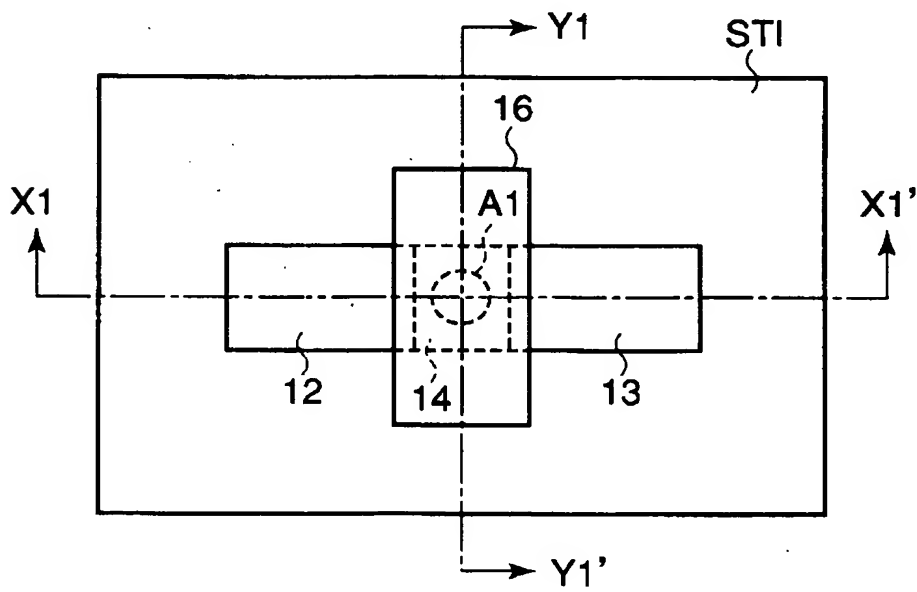
1 0、1 0 0…半導体基板、1 1、2 5、3 4、3 6、6 6、6 7…シリコン層、1 2、1 3 0…ソース領域、1 3、1 4 0…ドレイン領域、1 4、1 2 0…チャネル領域、1 5…ゲート絶縁膜、1 6、1 5 0…ゲート電極、2 0、2 4、2 6、3 1、3 3、4 5、4 7、5 1、5 3、6 0、6 1、6 3、6 5、6 8…シリコン酸化膜、2 1、3 2、4 8、4 9、5 0、6 9…シリコン窒化膜、2 2、2 7、3 5、6 4…フォトレジスト、2 3、6 2…ホール、3 0…S O I 基板、4 0…トレンチ、4 1…キャパシタ絶縁膜、4 2…カラー酸化膜、4 3…ストレージノード電極、4 4…導電体層、4 6…プレート電極、5 2…ノードコンタクト、5 4…ビット線、5 5…ビット線コンタクトプラグ、1 1 0…絶縁膜

【書類名】 図面

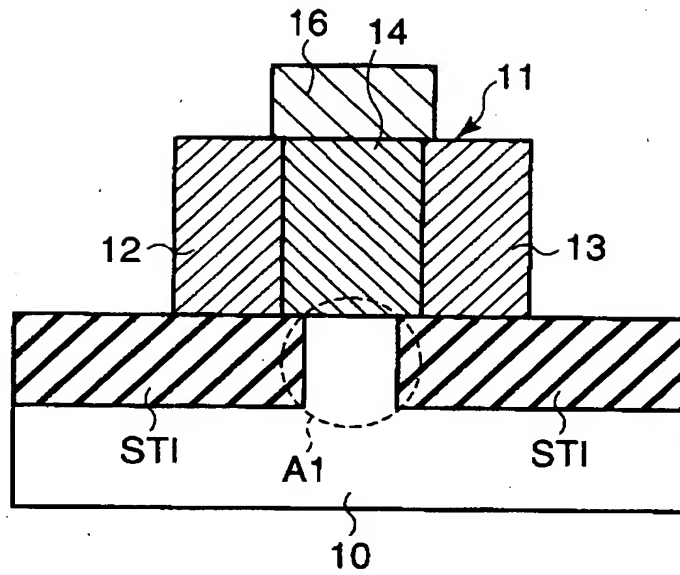
【図 1】



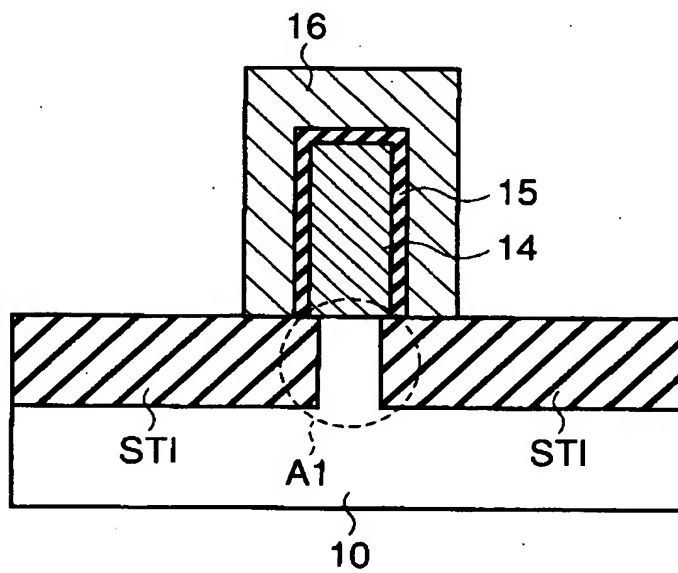
【図 2】



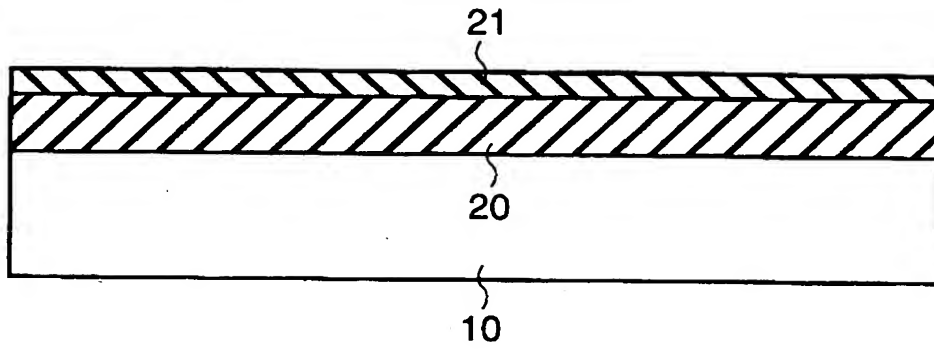
【図 3】



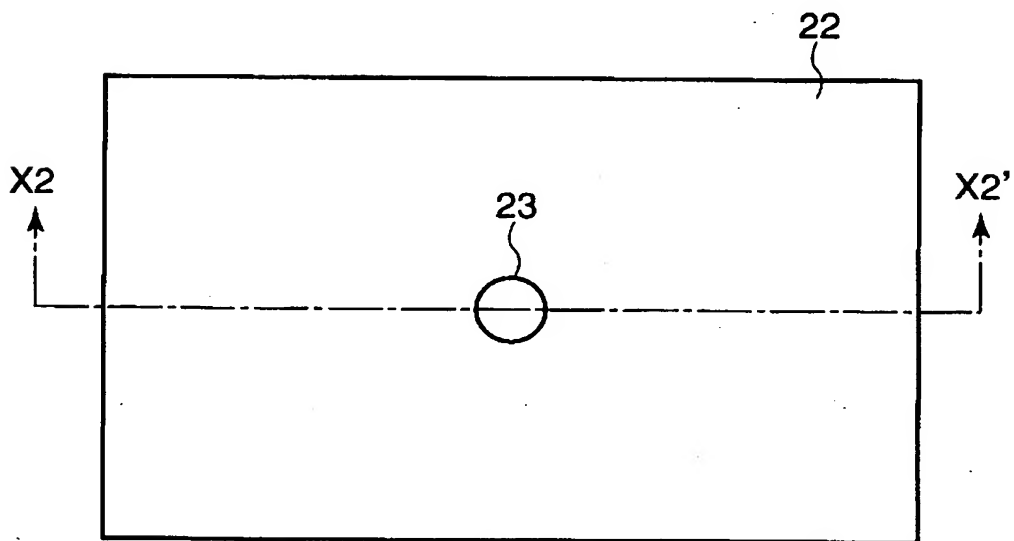
【図 4】



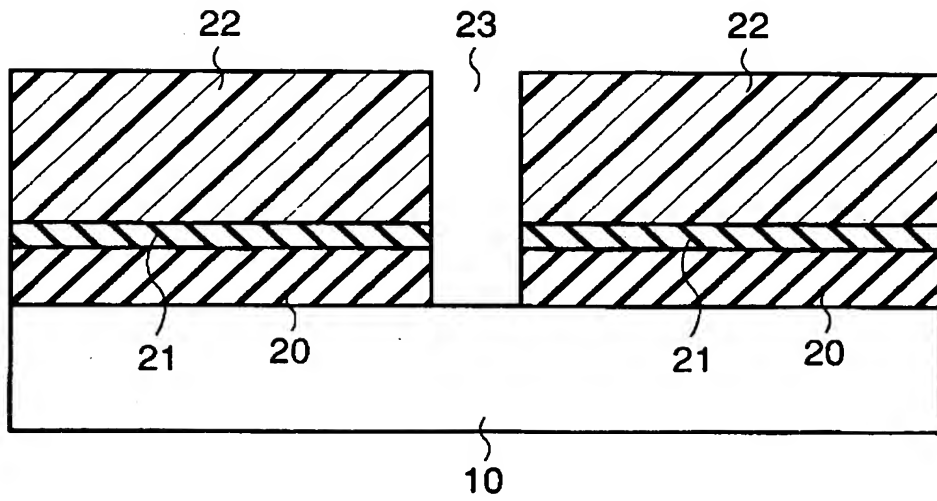
【図 5】



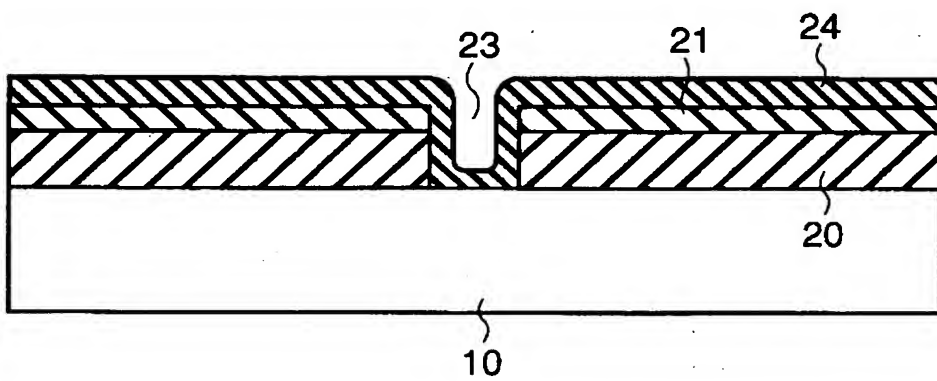
【図 6】



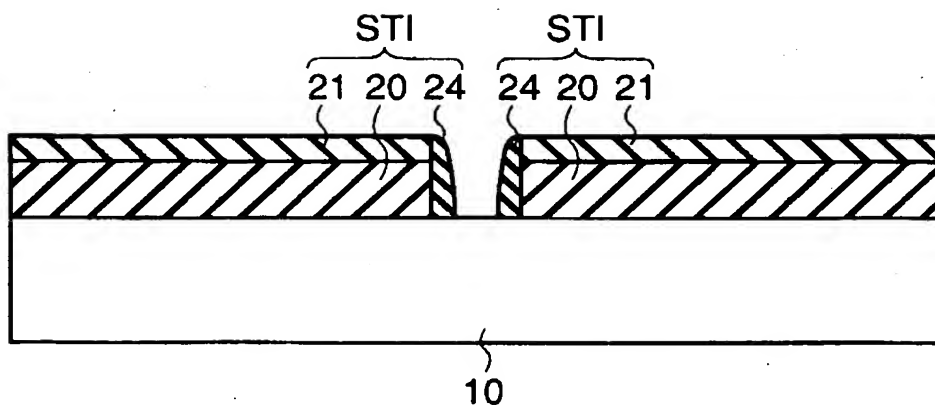
【図 7】



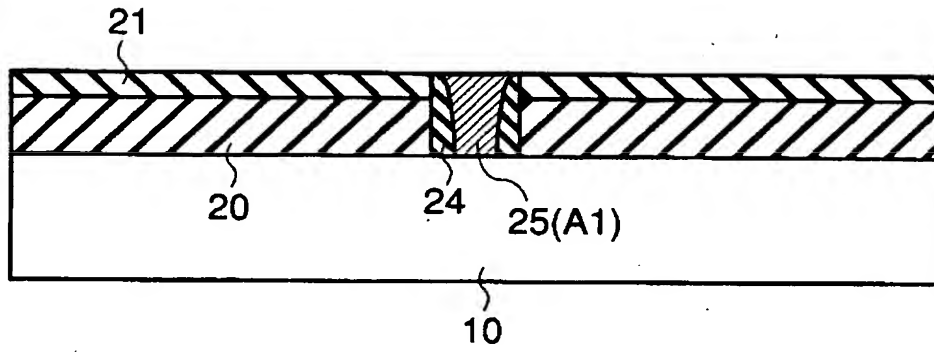
【図 8】



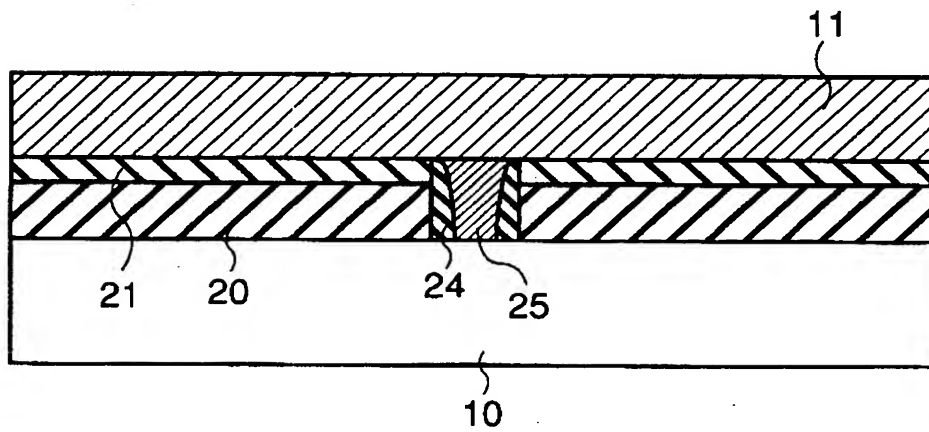
【図 9】



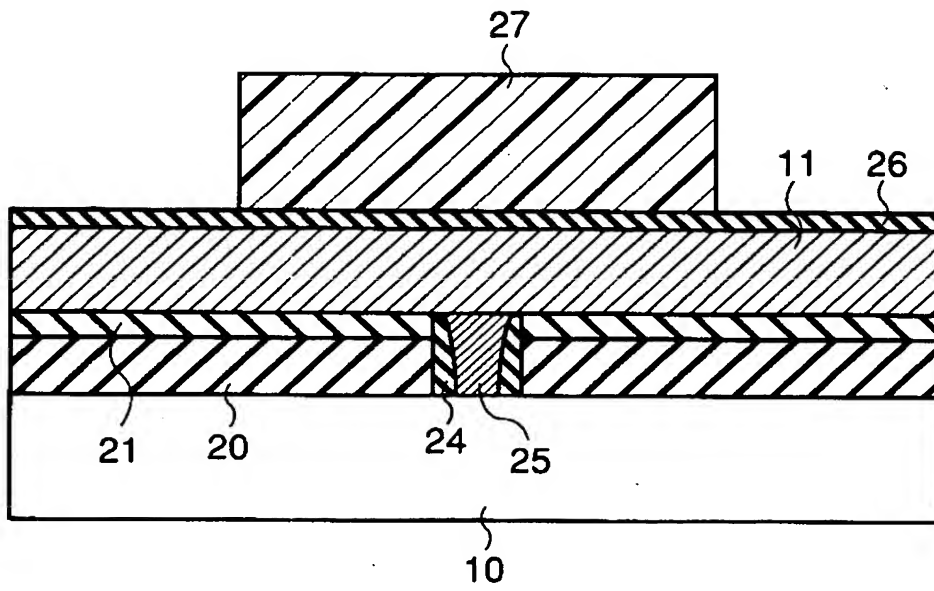
【図 1 0】



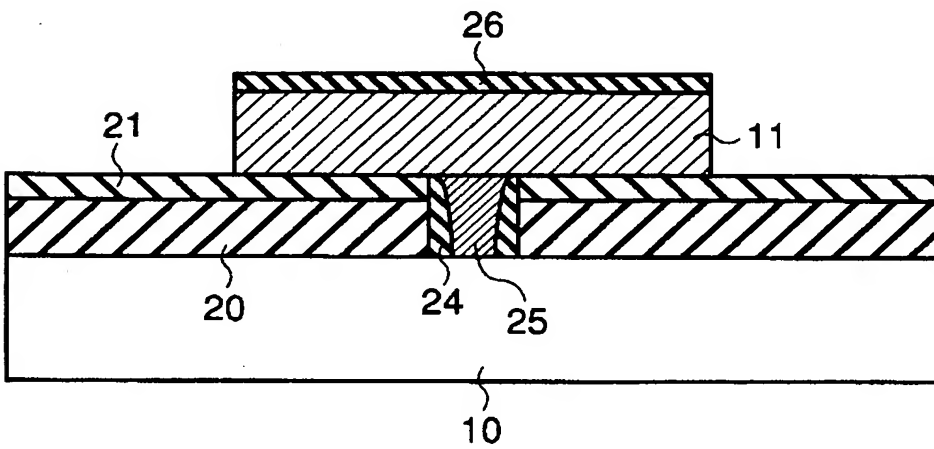
【図 1 1】



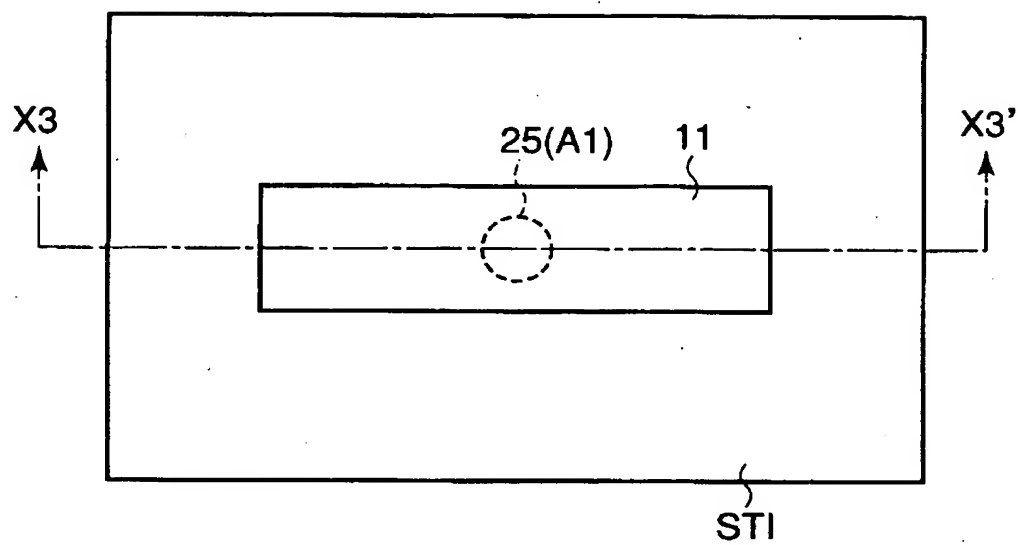
【図 1 2】



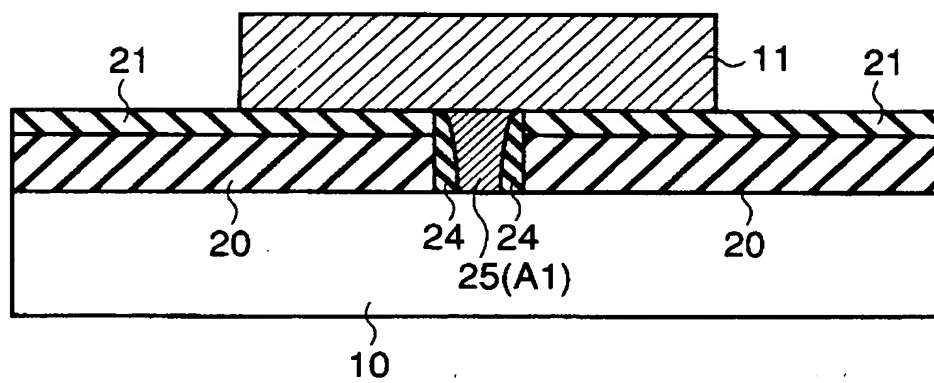
【図 1 3】



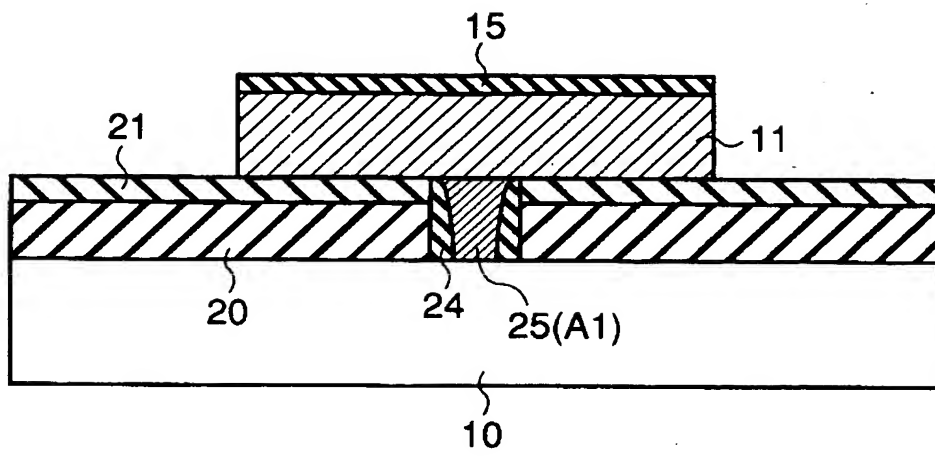
【図 1 4】



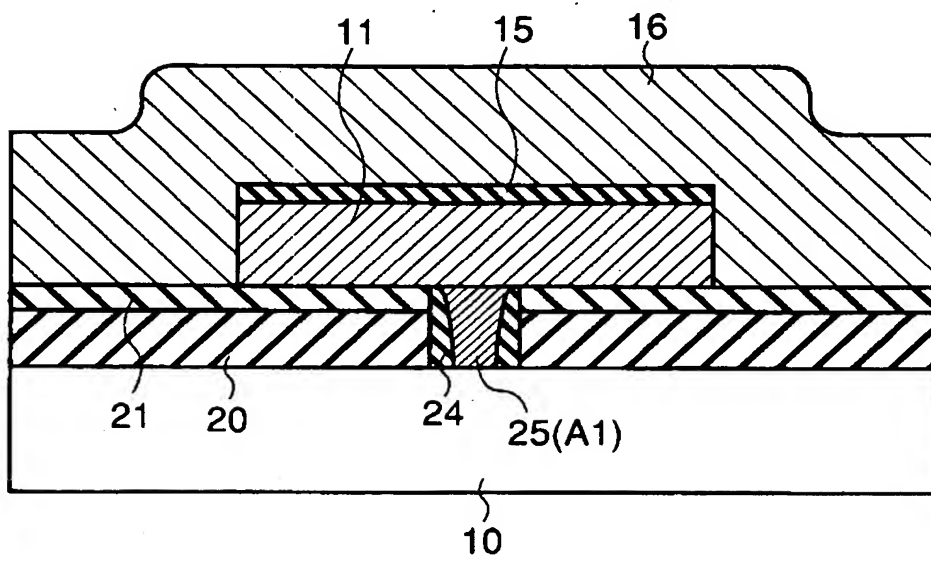
【図 1 5】



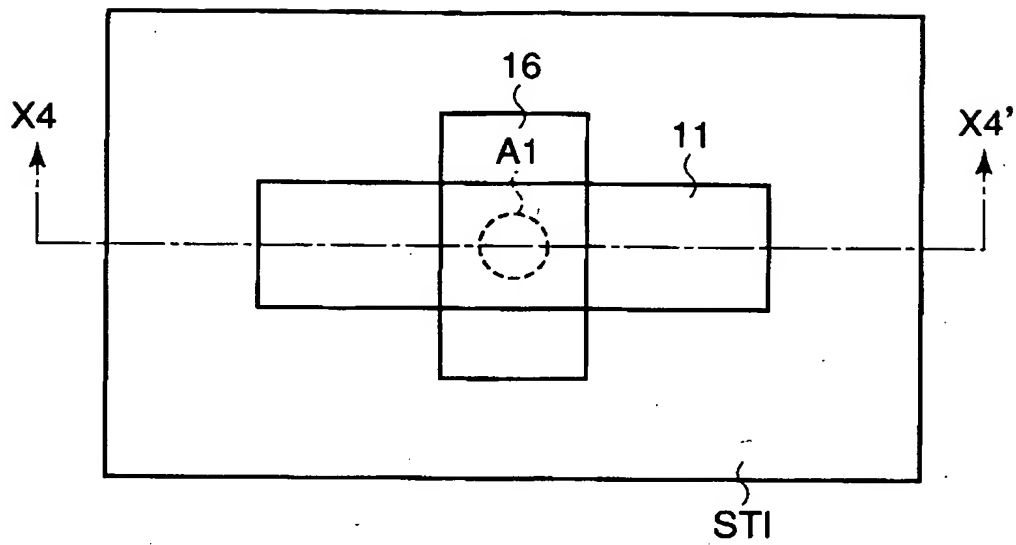
【図 1 6】



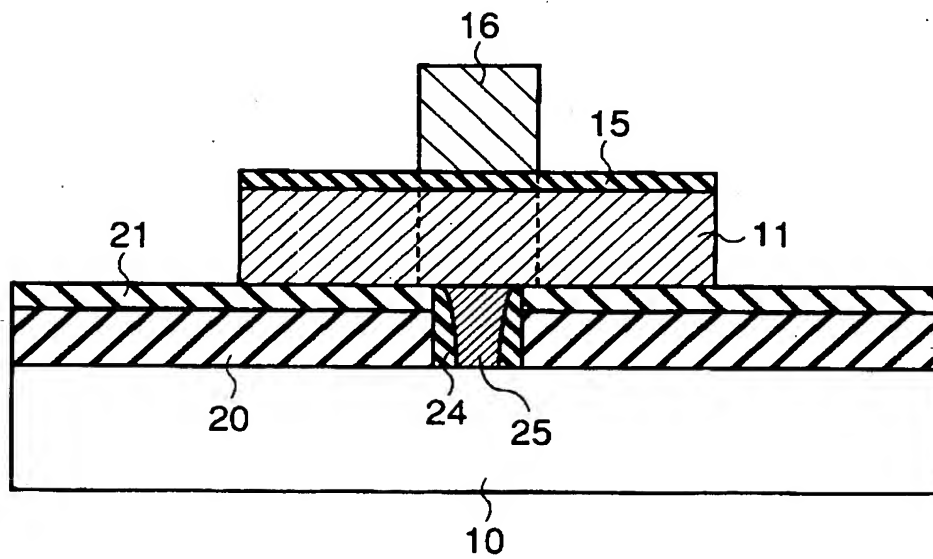
【図 1 7】



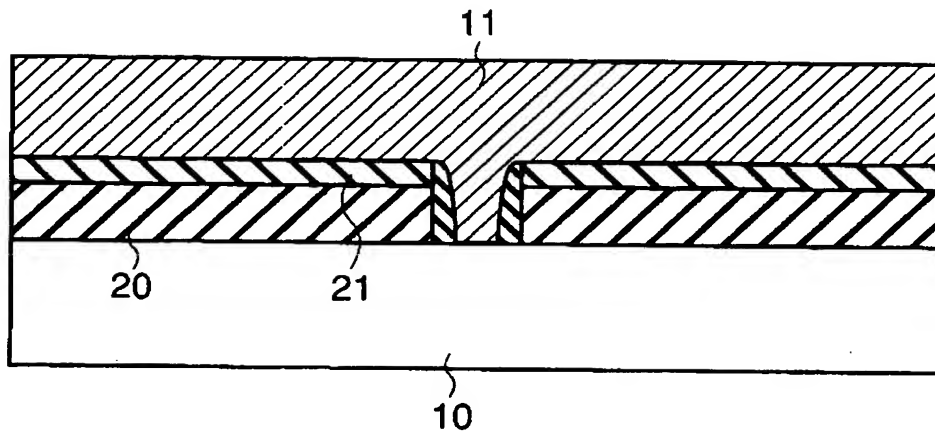
【図 18】



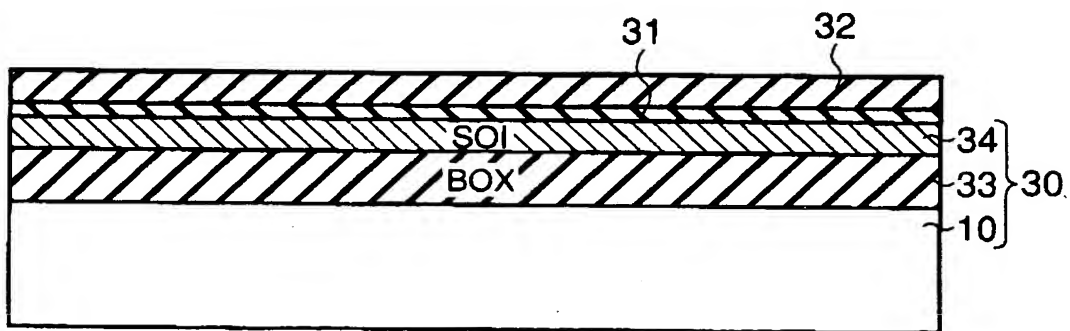
【図 19】



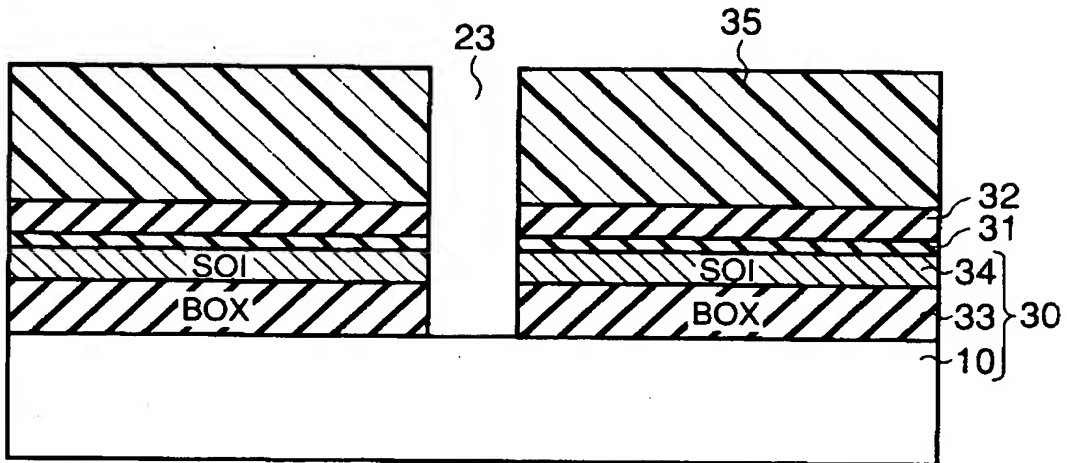
【図 2 0】



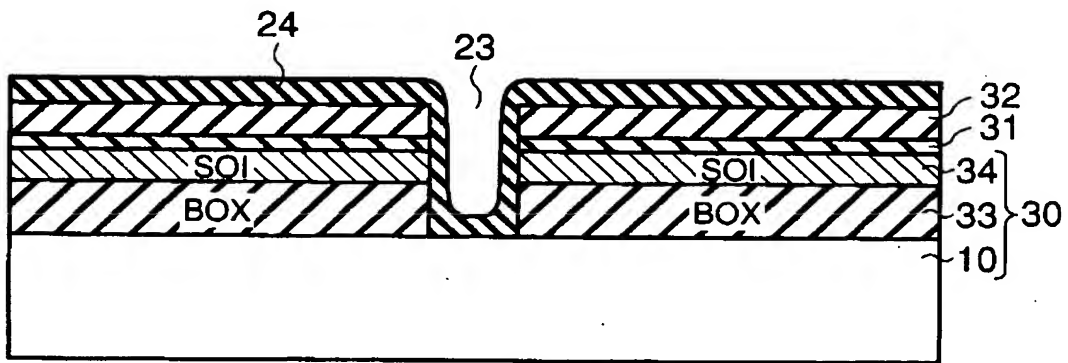
【図 2 1】



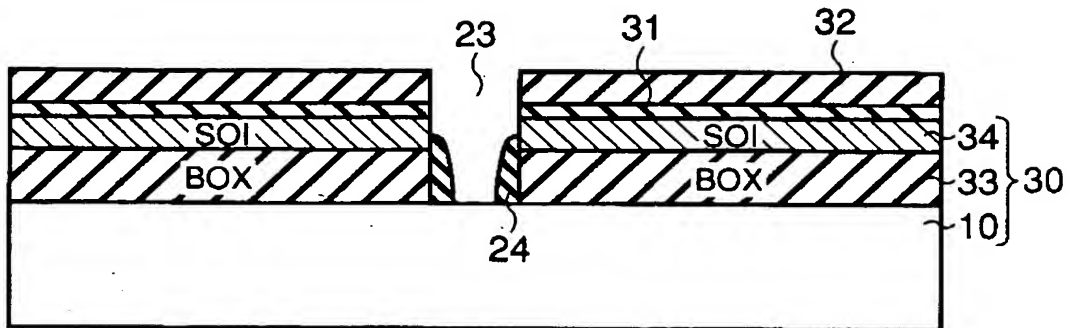
【図 2 2】



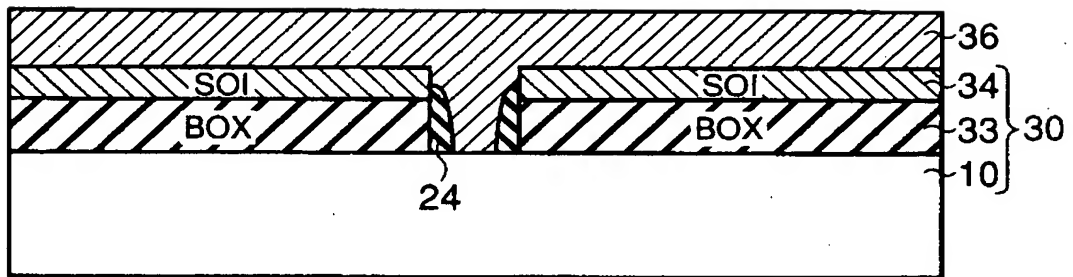
【図 2 3】



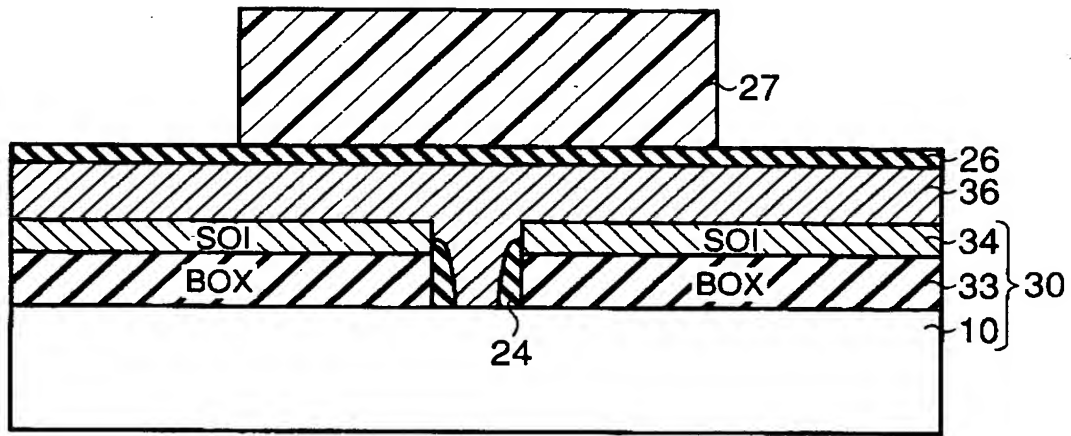
【図 2 4】



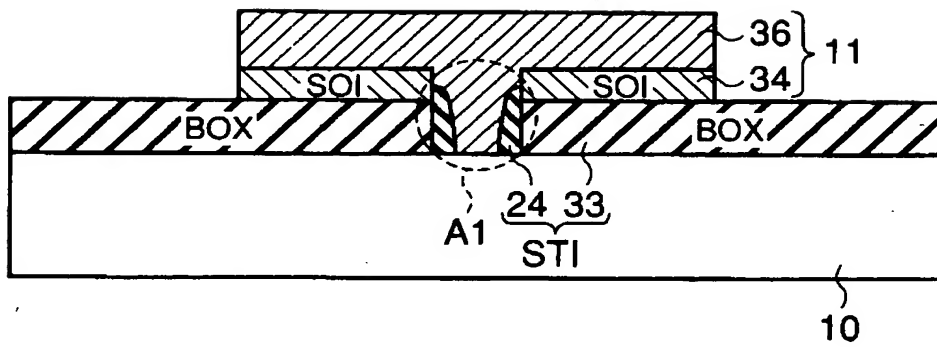
【図 2 5】



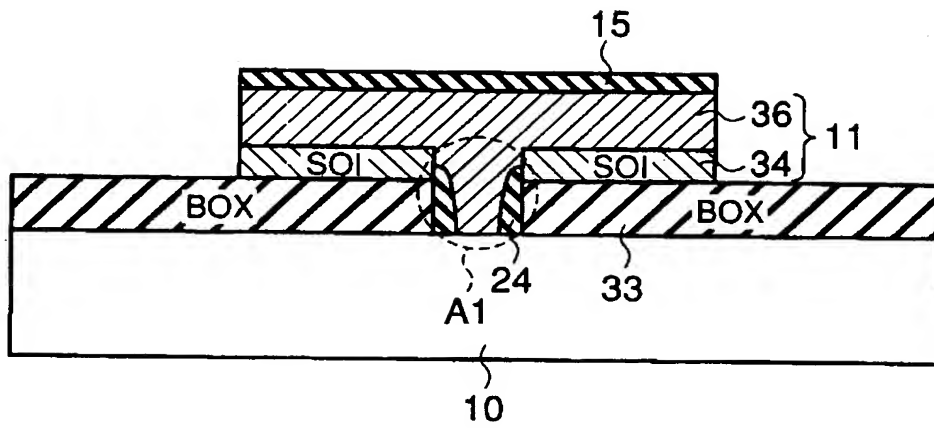
【図 2 6】



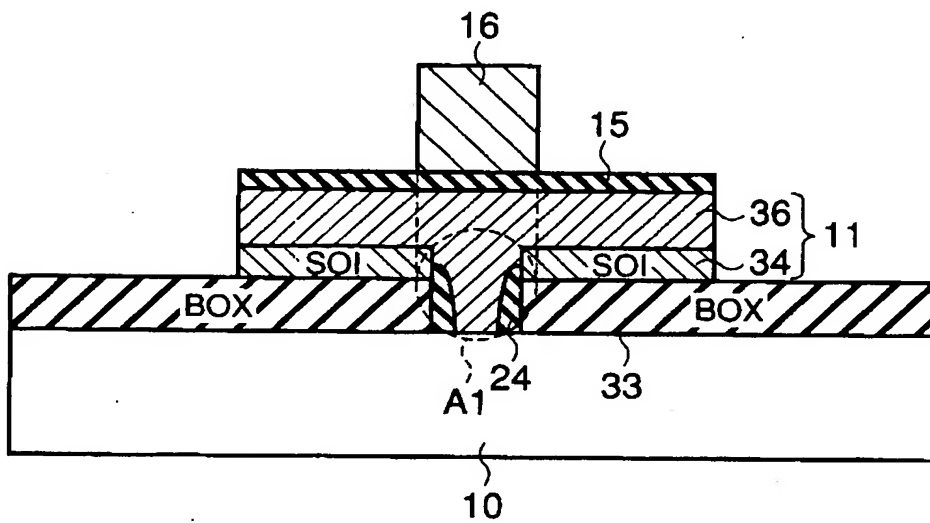
【図 2 7】



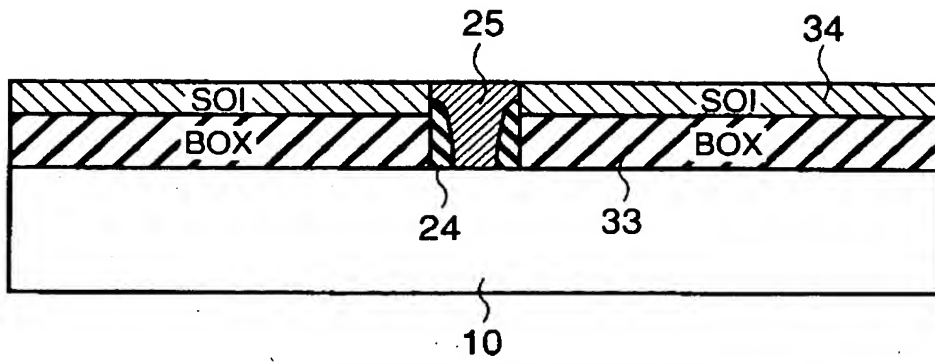
【図 28】



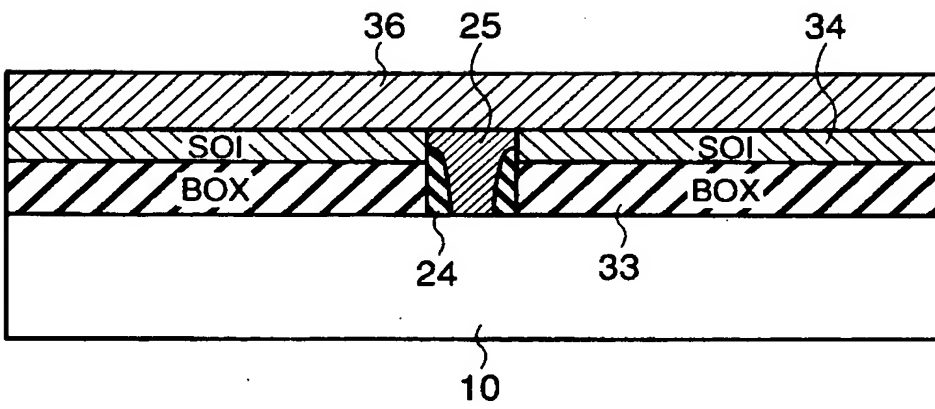
【図 29】



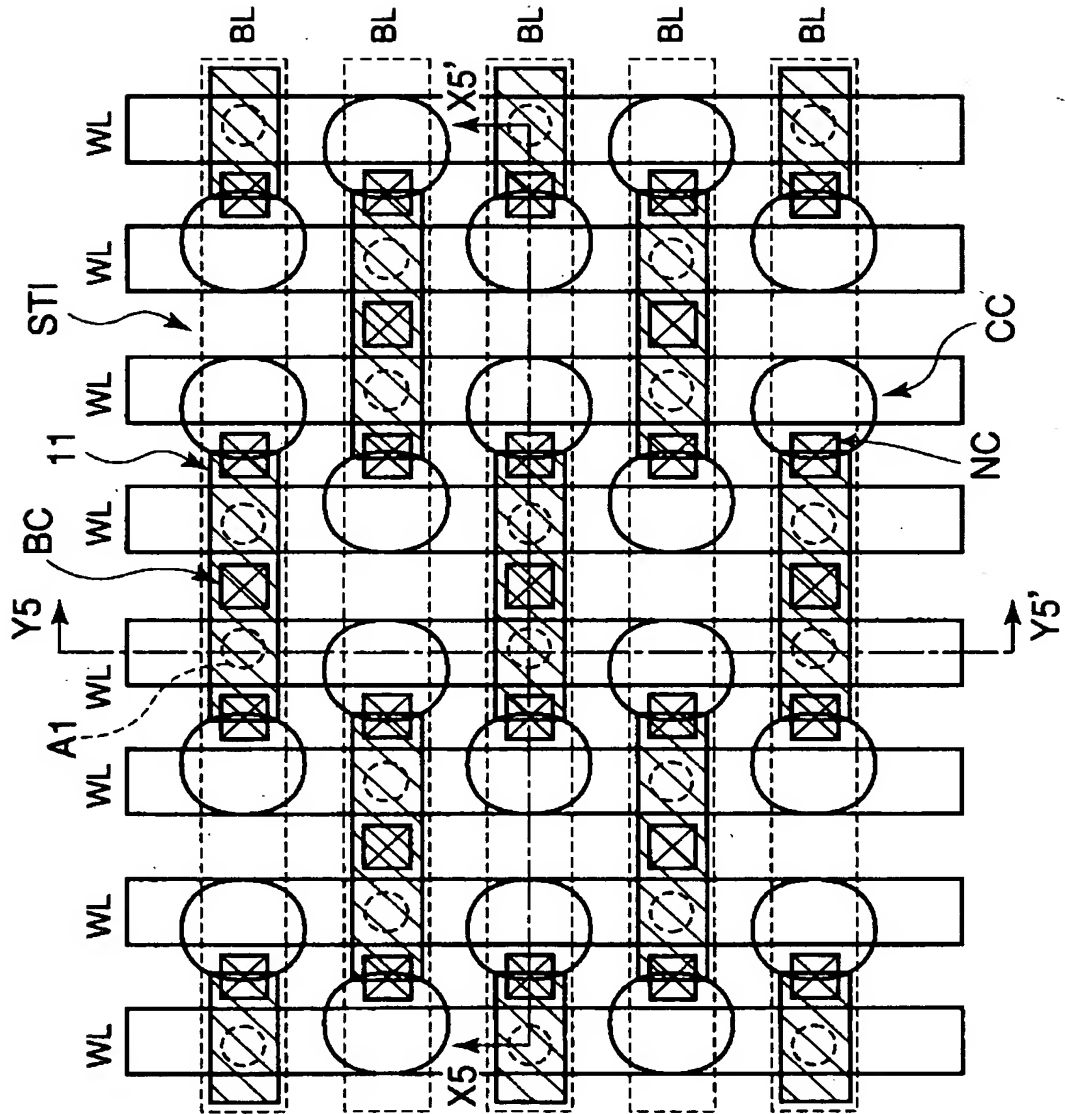
【図 3 0】



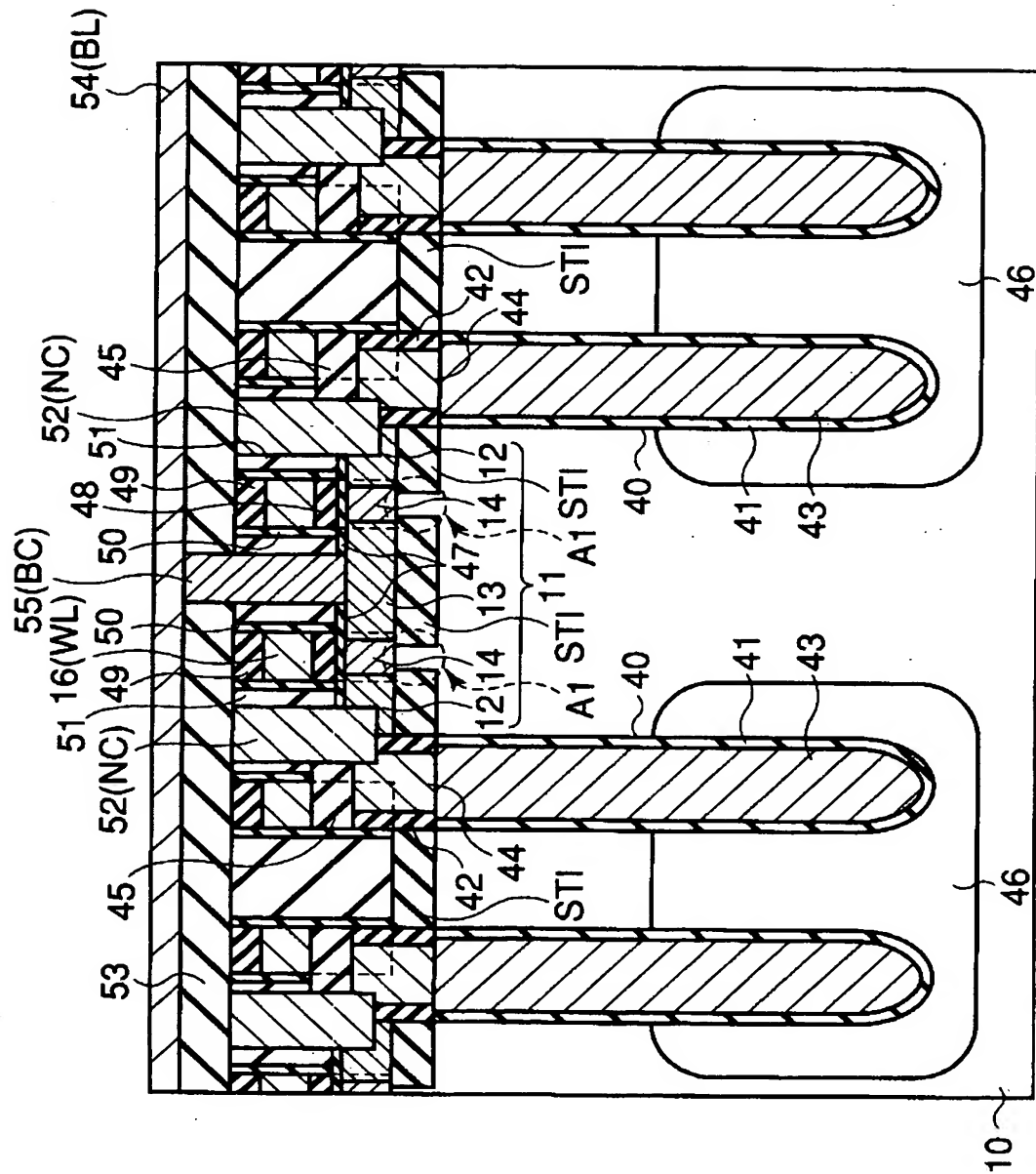
【図 3 1】



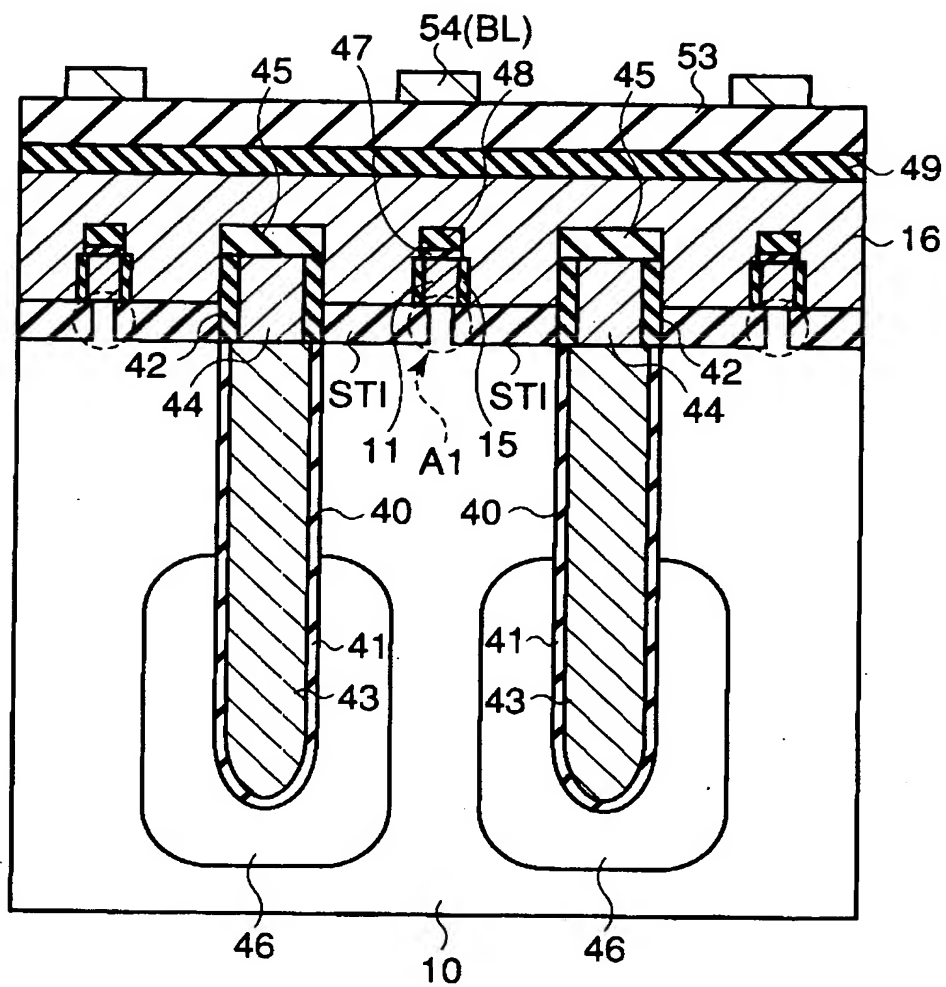
【図 32】



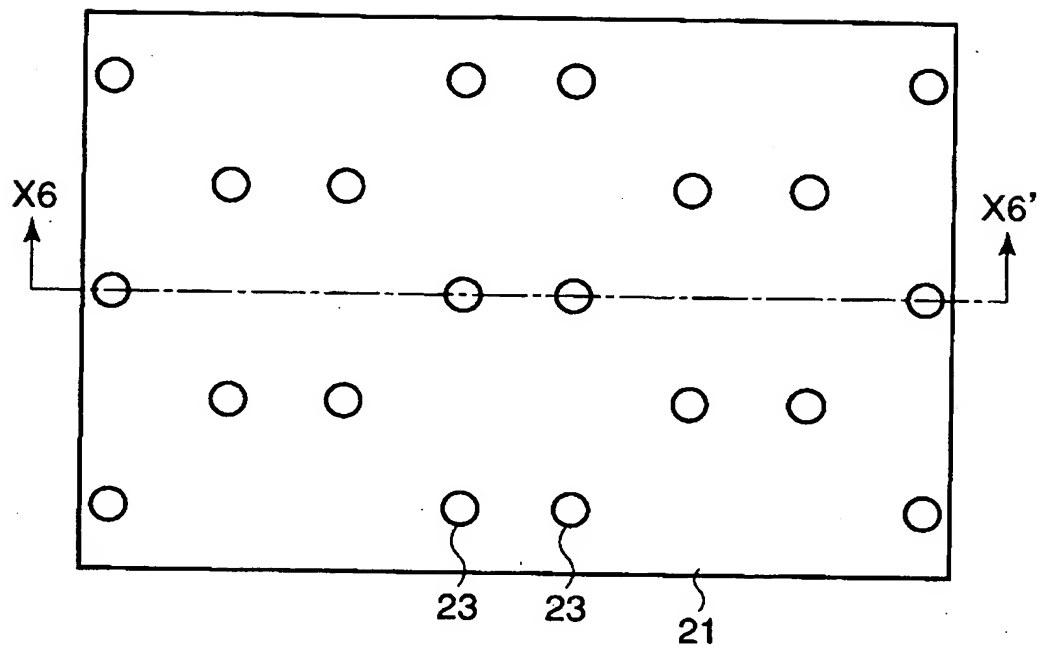
【図 33】



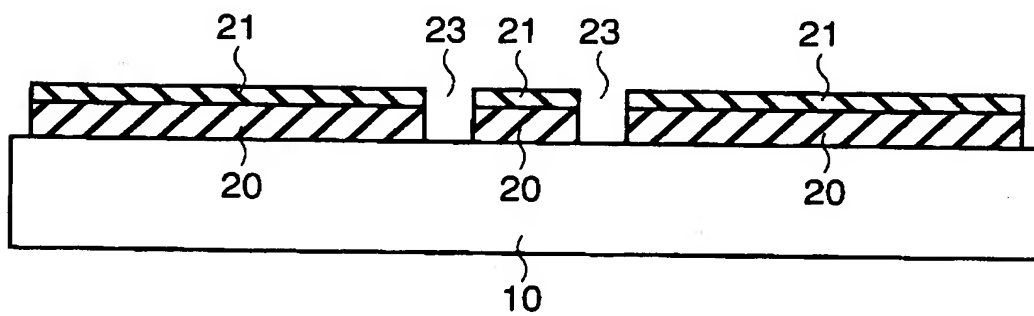
【図 34】



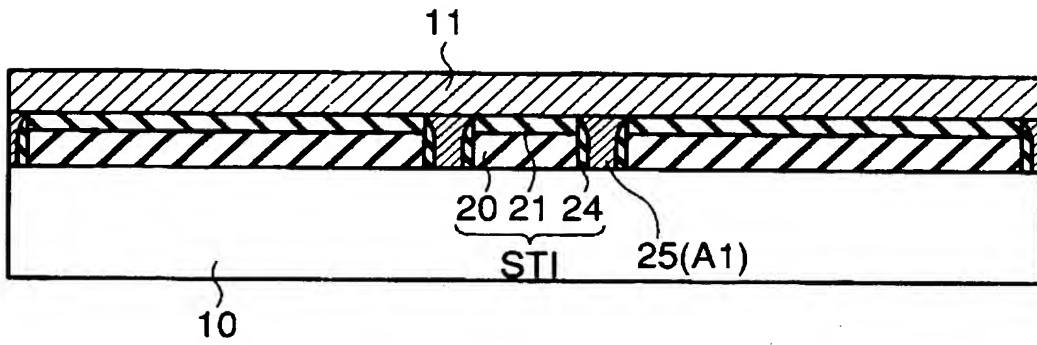
【図 3 5】



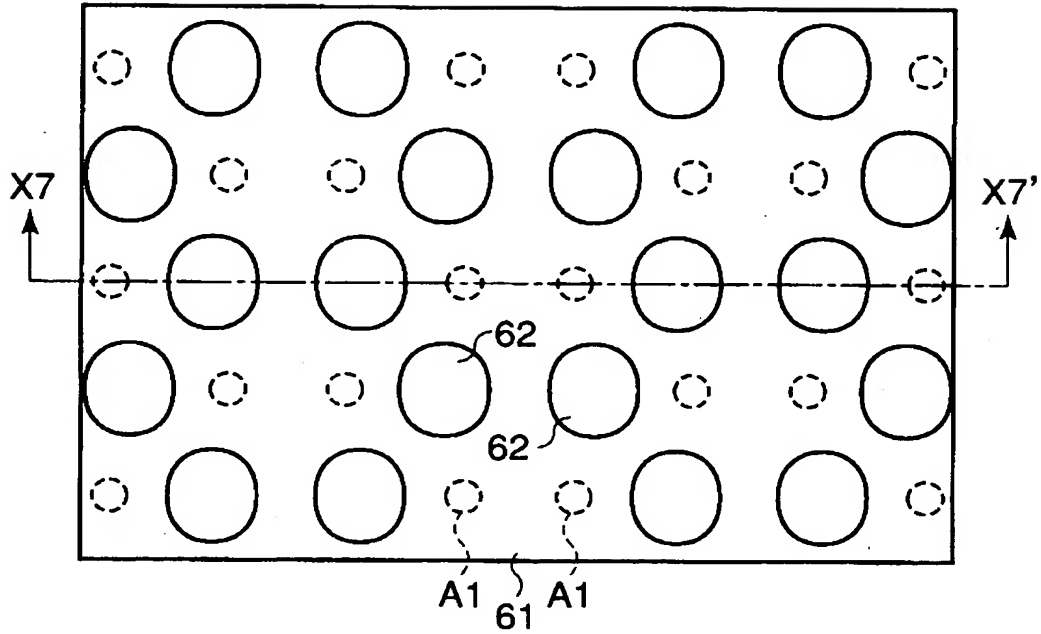
【図 3 6】



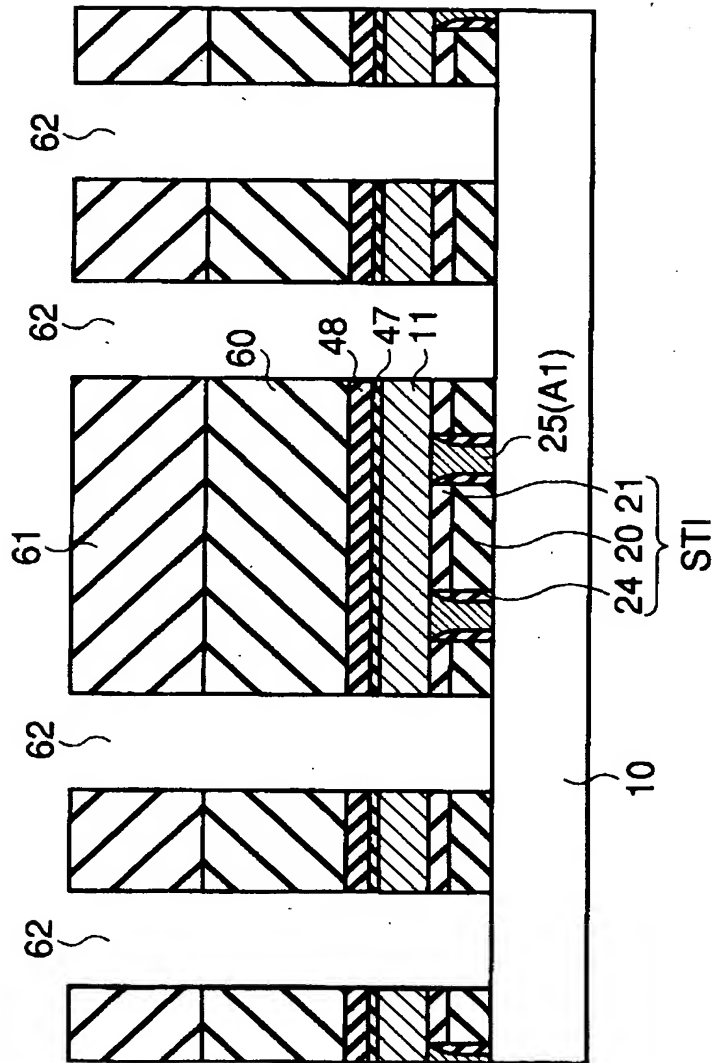
【図 3 7】



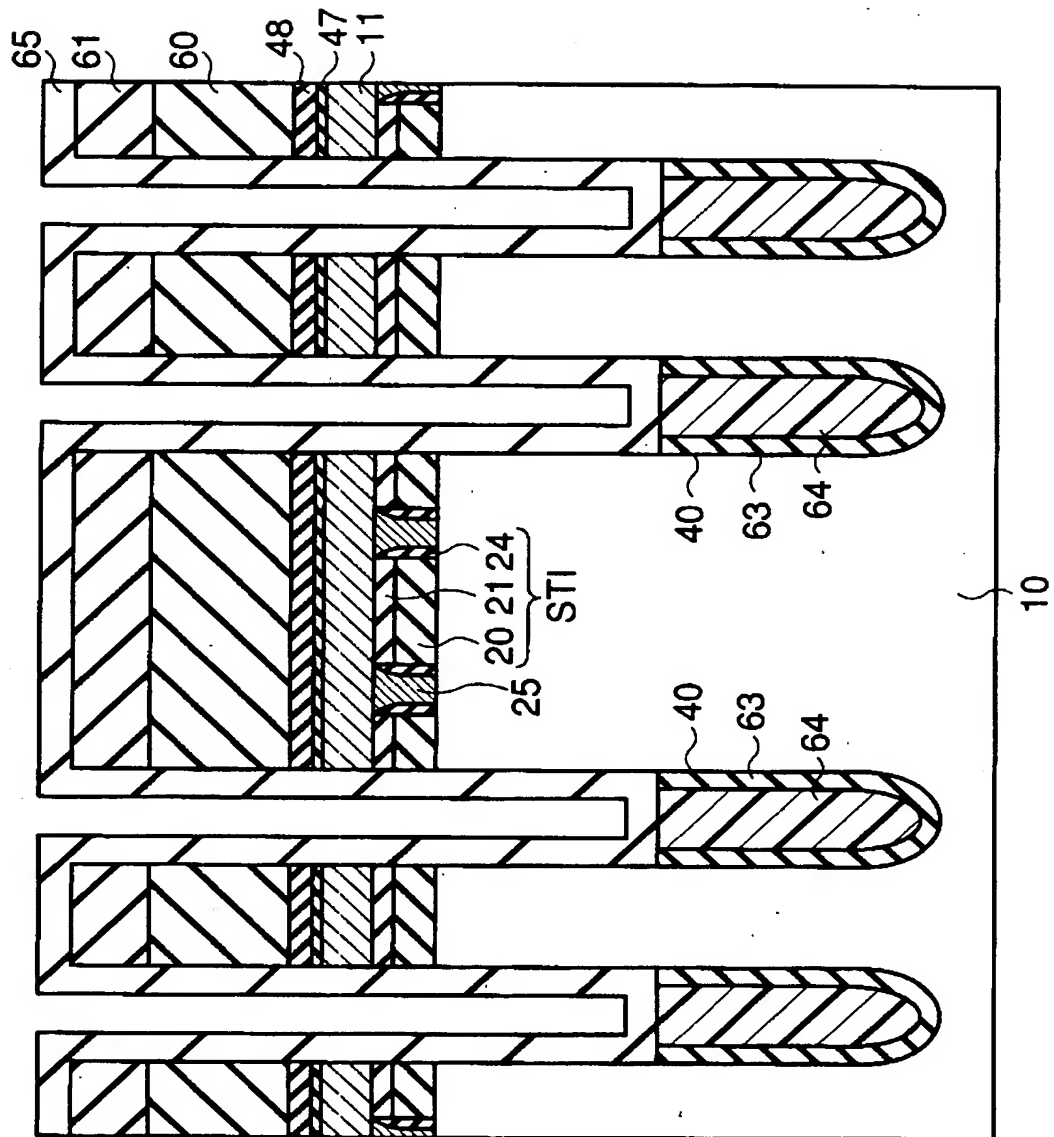
【図 3 8】



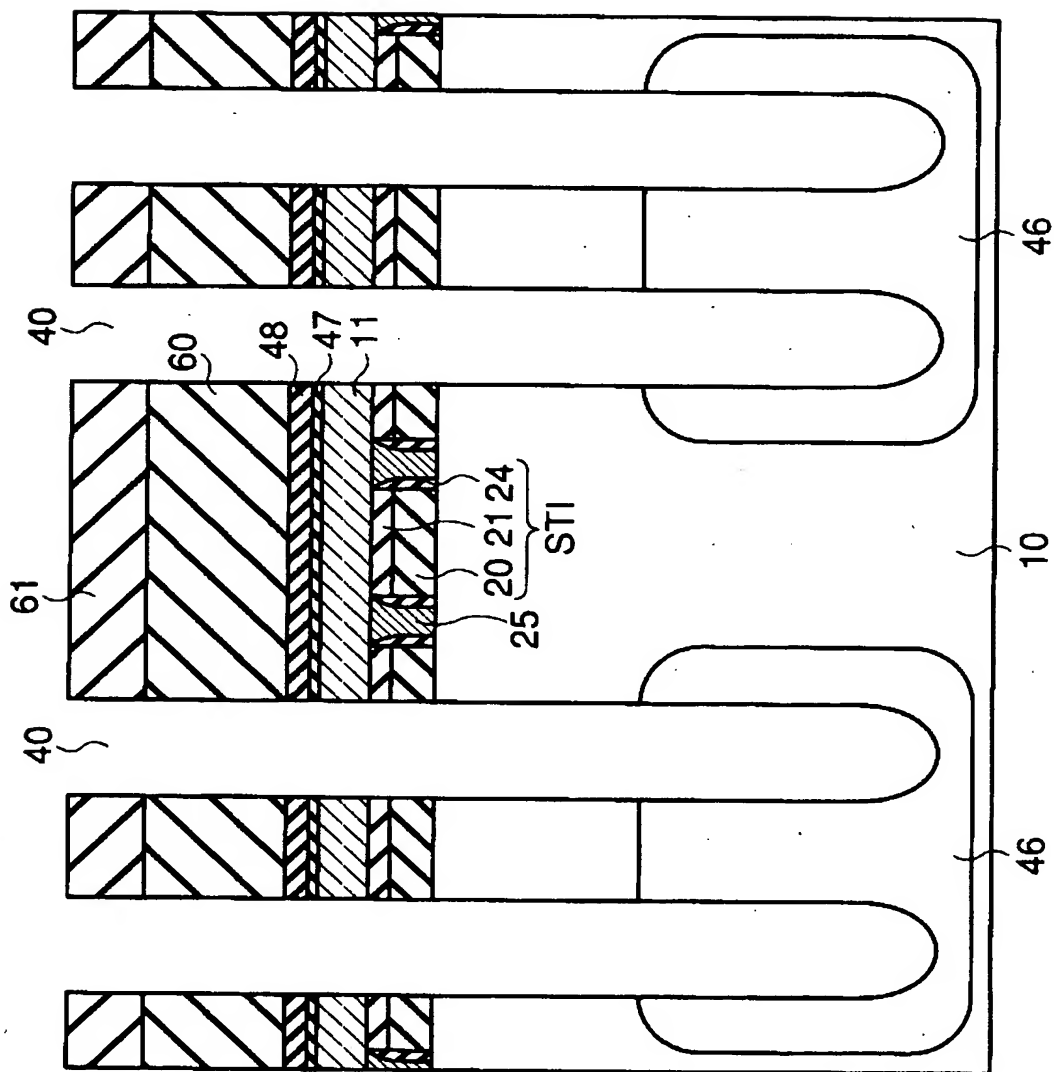
【図 3 9】



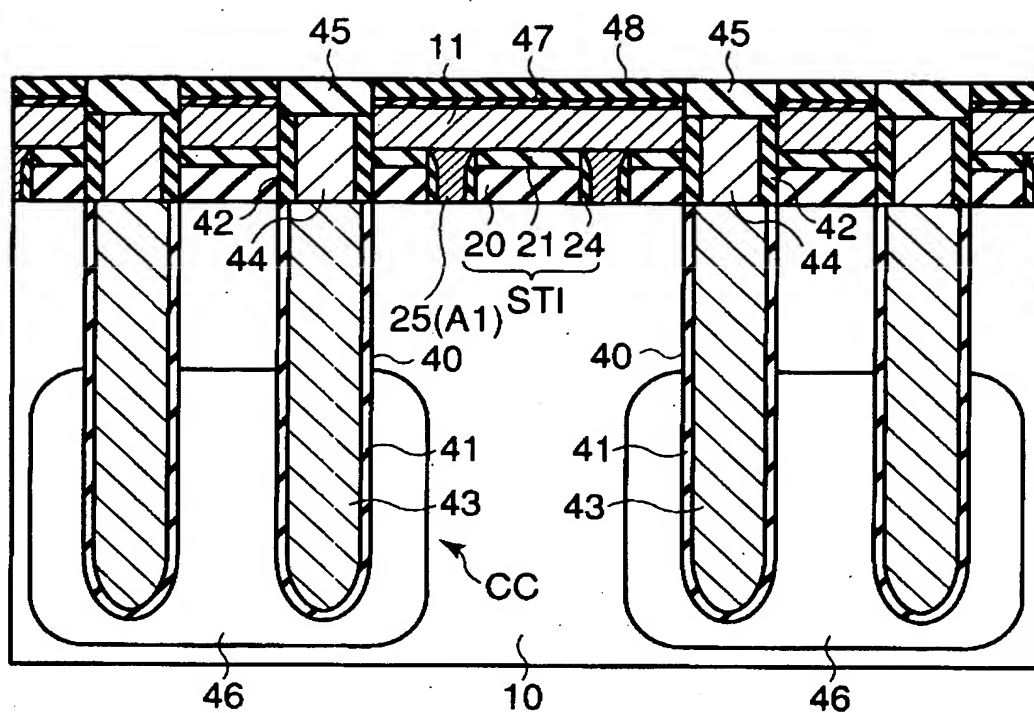
【図 4 0】



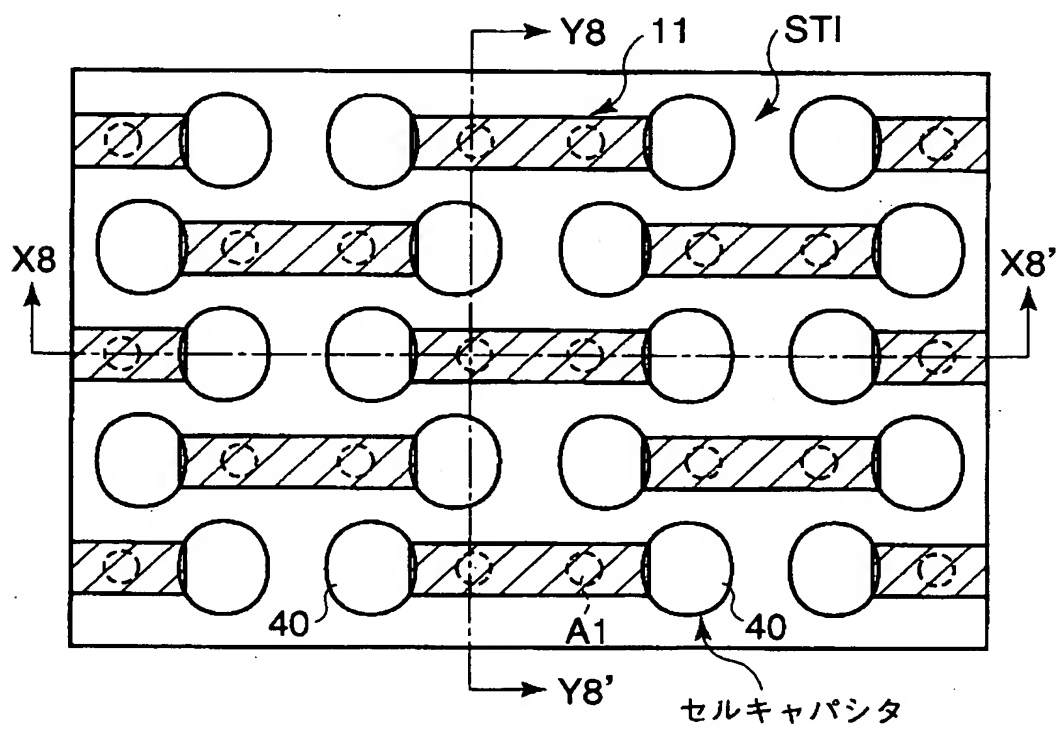
【図 4 1】



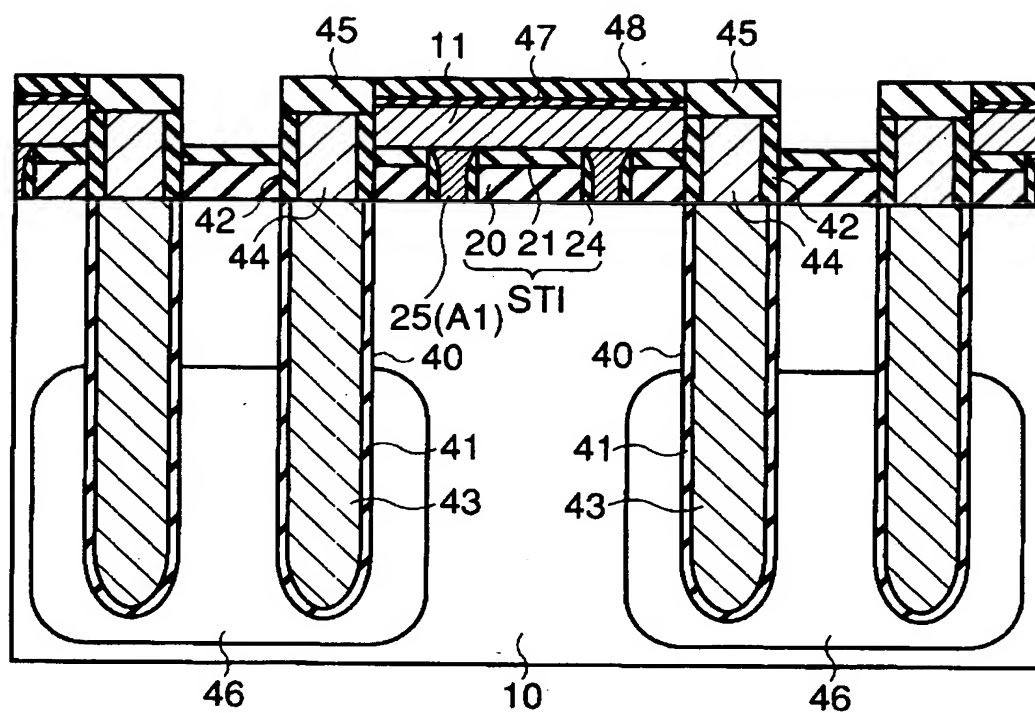
【图 4 2】



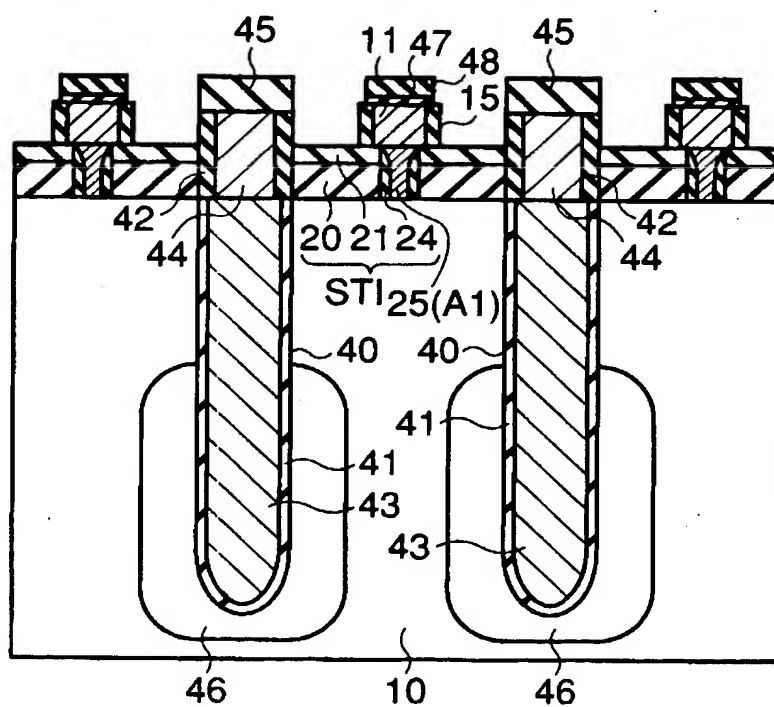
【図 4 3】



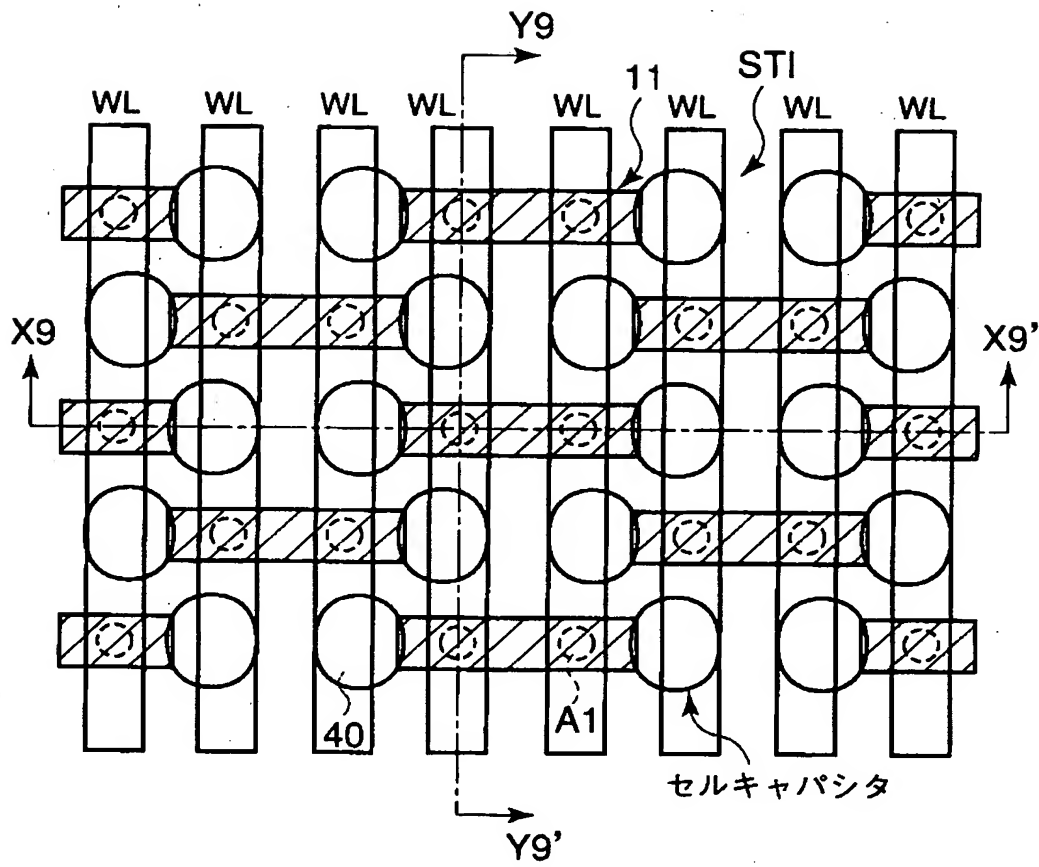
【圖 4 4】



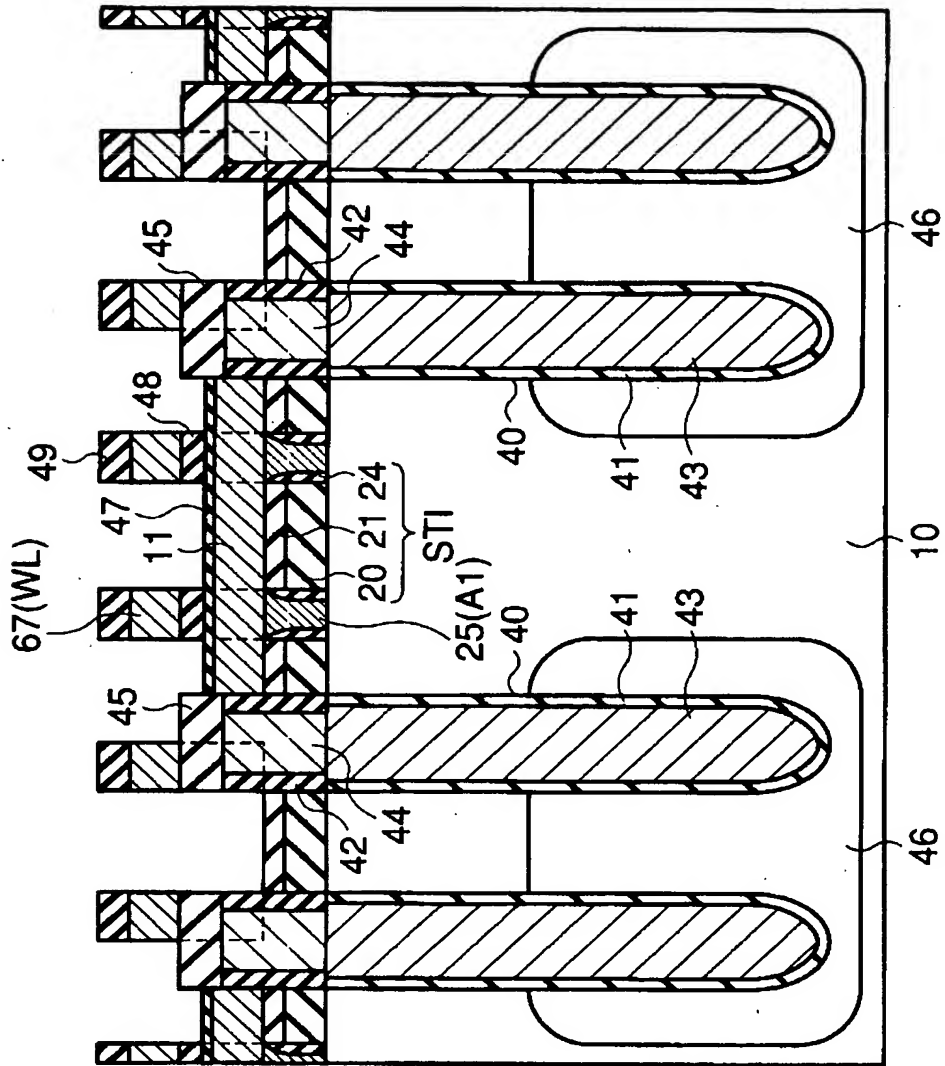
【図 4 5】



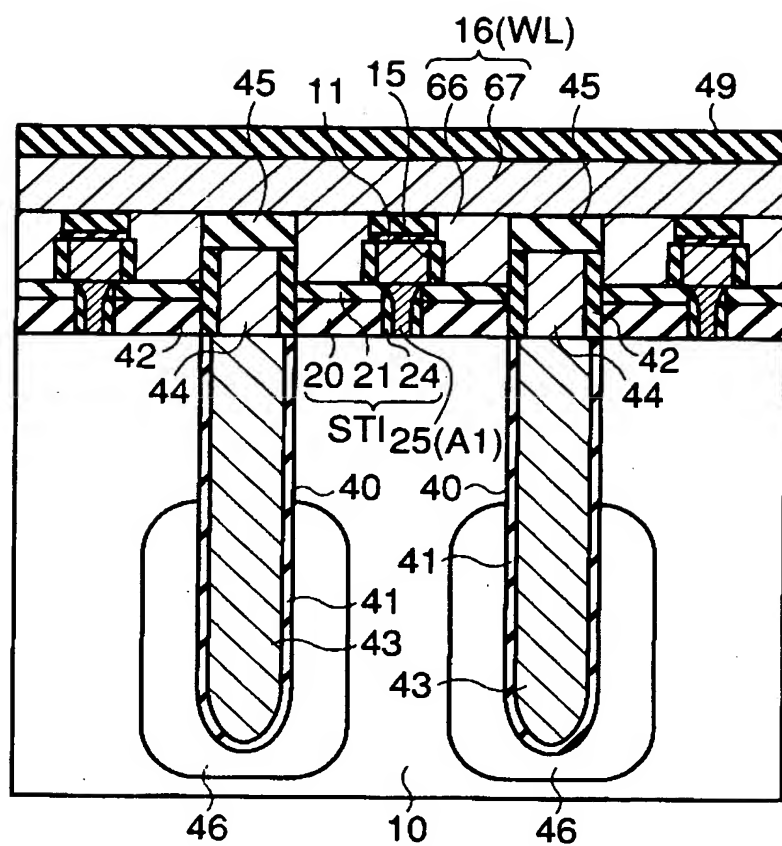
【図 46】



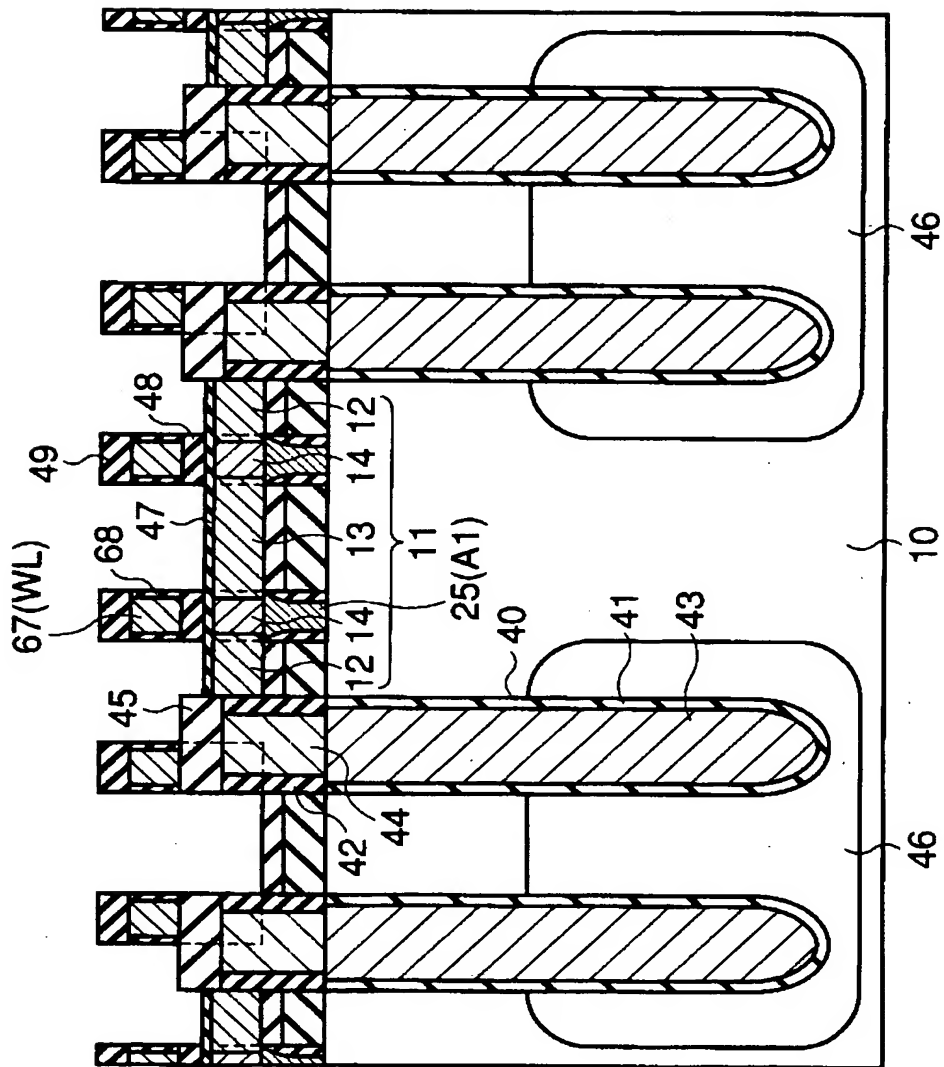
【図 47】



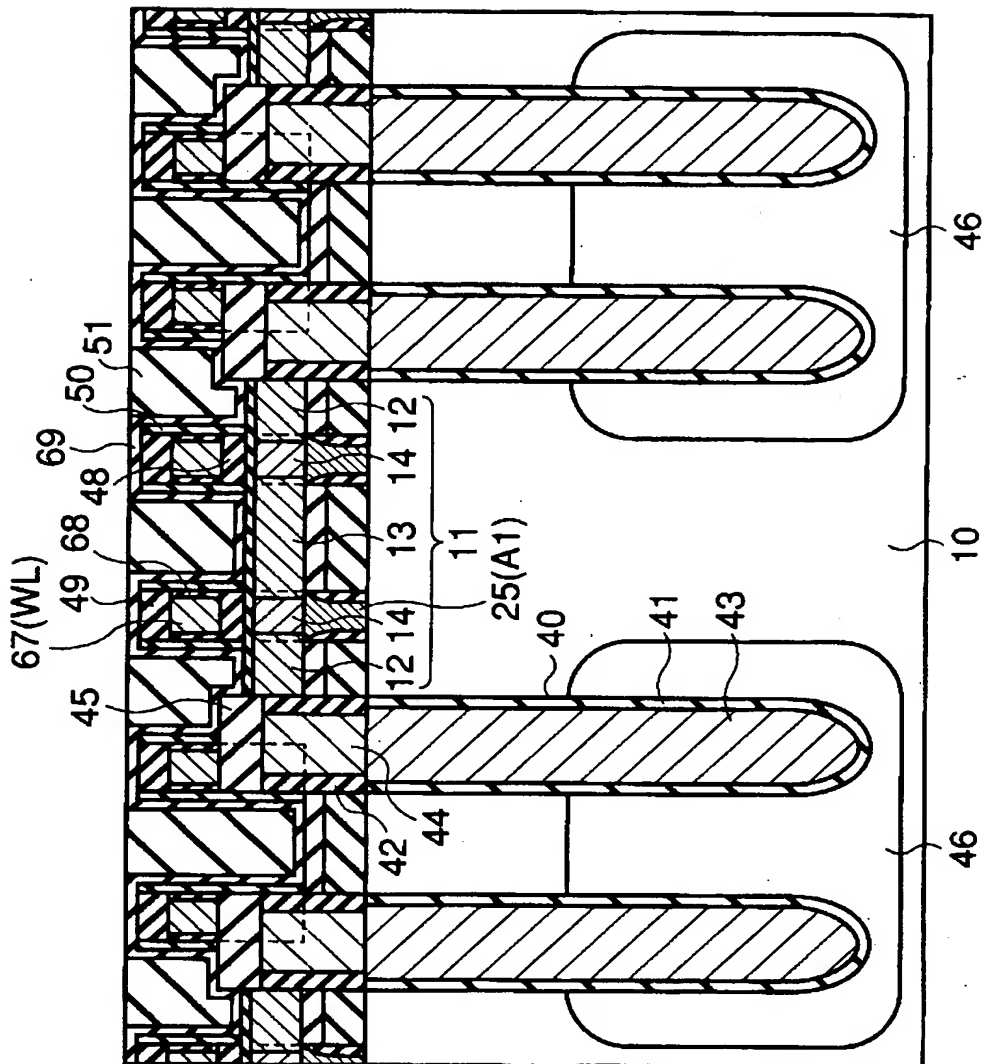
【図 4 8】



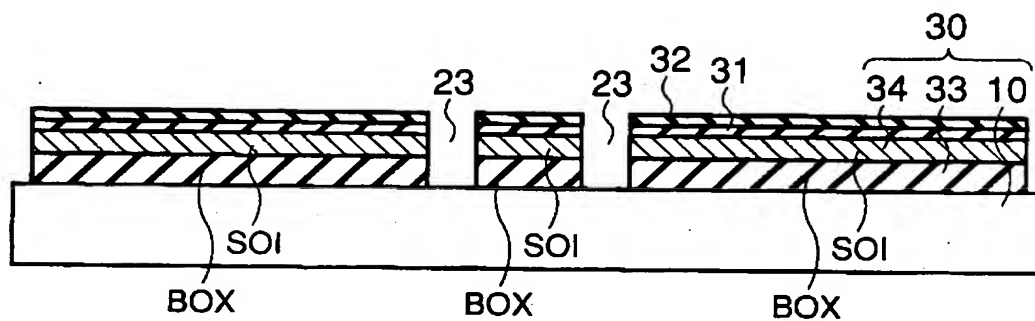
【図 49】



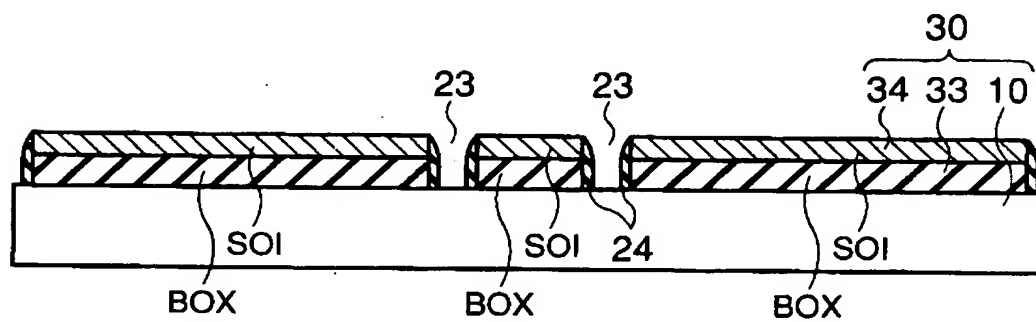
【図 50】



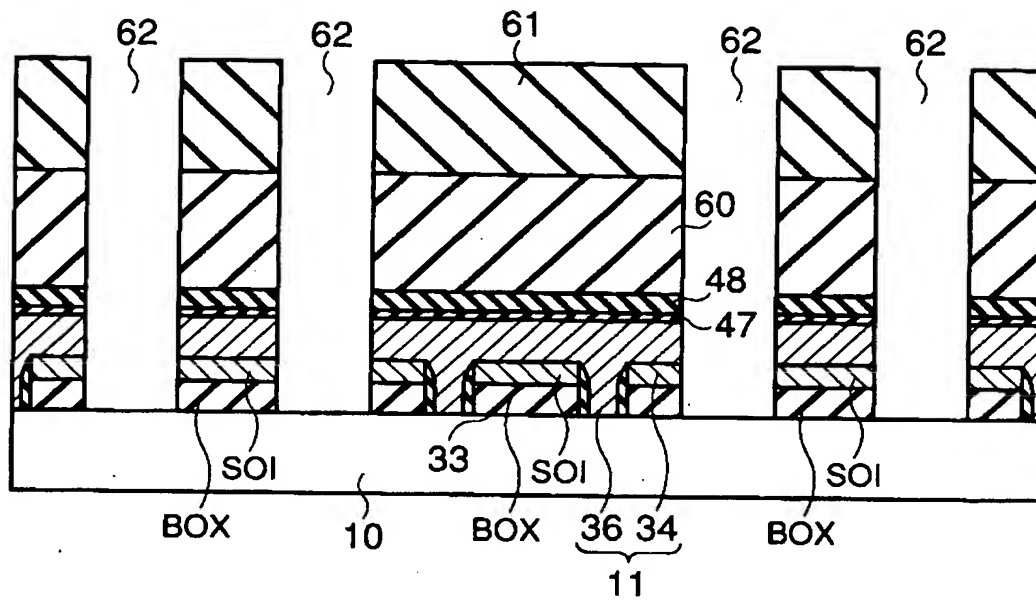
【図 5 1】



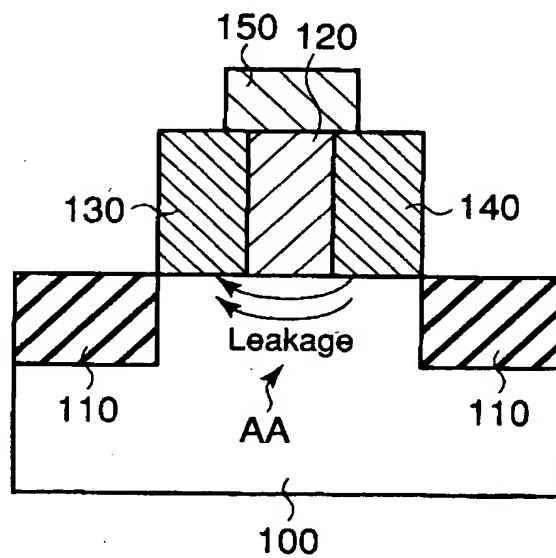
【図 5 2】



【図 53】



【図 54】



【書類名】 要約書

【要約】

【課題】 リーク電流を低減できる半導体装置及びその製造方法を提供すること。

【解決手段】 第 1 半導体層 1 0 上に形成された、凸型の第 2 半導体層 1 4 と、前記第 2 半導体層 1 4 に接し、且つ前記第 2 半導体層 1 4 を介在して互いに対面するように前記第 1 半導体層 1 0 上に形成された第 3、第 4 半導体層 1 2、1 3 と、前記第 2 半導体層 1 4 にゲート絶縁膜 1 5 を介在して接し、前記第 2 半導体層 1 4 中にチャネルを形成するゲート電極 1 6 と、前記第 3、第 4 半導体層 1 2、1 4 の直下に位置する前記第 1 半導体層 1 0 中に形成された絶縁膜 S T I とを具備する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝